

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

BEST AVAILABLE COPY

(51) Int. Cl.⁶
H01L 21/20(11) 공개번호 특 1999-0088324
(43) 공개일자 1999년 12월 27일

(21) 출원번호	10-1999-0017525
(22) 출원일자	1999년 05월 15일
(30) 우선권주장	1998-133912 1998년 05월 15일 일본(JP) 1999-132985 1999년 05월 13일 일본(JP)
(71) 출원인	캐논 가부시끼가이샤 미다라이 후지오
(72) 발명자	일본 도쿄도 오오마루 시모마루교 3조에 30방 2고 사카구치키요후미 일본국도쿄도오오마루시모마루교3조에30방2고캐논가부시끼가이샤나미 요네하라타카오 일본국도쿄도오오마루시모마루교3조에30방2고캐논가부시끼가이샤나미 사토노부히코 일본국도쿄도오오마루시모마루교3조에30방2고캐논가부시끼가이샤나미
(74) 대리인	신중훈, 임옥순

심사청구 : 있음

(54) 반도체 기판뿐만 아니라 반도체 박막 및 다층 구조를 제조하는 공정

요약

반도체 기판의 제조공정은, 수소어닐링이 행해질 표면층부분을 가지는 제 1기판을 제조하는 스텝과, 표면층부분의 측면으로부터 제 1기판으로 수소 등의 미온을 주입함으로써 분리층을 형성하는 분리층형성스텝과, 표면층부분이 내부에 놓이도록 제 1기판과 제 2기판을 서로 접착함으로써 다층구조를 형성하는 접착스텝과, 분리층을 사용하여 다층구조를 분리함으로써 표면층부분의 결함이 보다 적은 층을 제 2기판으로 이전하는 이전스텝으로 이루어진다. 결함이 보다 적은 층은 COP 및 FPD 등의 벌크웨이퍼 내의 고유의 결함이 감소되는 단결정 실리콘층이다.

도표

도 1

명세서

도면의 간단한 설명

- 도 1은 본 발명에 따라 반도체 기판을 제조하는 공정의 일례를 도시하는 흐름도
 도 2, 도 3, 도 4, 도 5 및 도 6은 본 발명에 따라 반도체 기판을 제조하는 공정의 일례를 도시하는 개략 단면도
 도 7, 도 8, 도 9, 도 10 및 도 11은 본 발명에 따라 반도체 기판을 제조하는 공정의 또다른 예를 도시하는 개략 단면도
 도 12, 도 13 및 도 14는 본 발명에 따라 반도체 기판을 제조하는 공정의 또다른 예를 도시하는 개략 단면도
 도 15는 본 발명에서 웨이퍼를 열처리하기 위해 수직형 일괄노를 사용하여 수소어닐링을 행하는 상태를 도시하는 개략 단면도
 도 16은 본 발명에서 기판에 대항하는 표면의 재료에 따라서 에칭액의 온도의존성을 도시하는 그래프
 도 17은 본 발명에서 실리콘과 실리콘디옥사이드가 대항하는 경우에 수소어닐링에 의한 에칭량을 도시하는 그래프
 도 18은 본 발명에서 실리콘과 실리콘디옥사이드가 대항하는 경우에 수소어닐링에 의해 제거되는 실리콘 원자의 수를 도시하는 그래프
 도 19는 본 발명에서 대항하는 표면의 재료가 산화실리콘인 경우에 배치의 일례를 도시하는 개략 단면도
 도 20 및 도 21은 본 발명에서 에칭법에 의거한 동작효과를 설명하는 개략 단면도

도 22는 본 발명에서 수직형 노내에 반도체기판의 배치를 도시하는 개략단면도
 도 23은 단위웨이퍼당 COP의 수와 웨이퍼표면으로부터의 깊이 사이의 관계를 도시하는 그래프
 도 24, 도 25, 도 26, 도 27 및 도 28은 SOI기판을 제조하는 종래의 공정을 도시하는 개략단면도
 도 29, 도 30 및 도 31은 SOI기판을 제조하는 공정의 일례를 도시하는 개략단면도

<주요부분에 대한 설명>

1: 웨이퍼 2: 코어판
 3: 히터 4: 가스스트림
 10: 제 1기판 11: 영역
 12: 표면층부분(결함이 보다 적은 층) 13: 절연층
 14: 분리층 15: 제 2기판
 16, 63: SOI층 17, 33, 36: 결함이 보다 적은 층
 18: 다층구조 21: 제 1의 Si단결정기판(제 1기판)
 22: 결함이 보다 적은 층(SOI층) 23: SiO₂층
 24, 32, 35: 미온주입층(분리층) 25, 34, 37: 절연층(SiO₂CMD)
 26, 64: 제 2기판 31: 제 1기판
 38, 39: 제 2기판(지지기판) 51: 반도체베이스재료
 52: 절연체 53: 단결정실리콘막
 54: 가스흐름 55: 대향표면
 56: 흐름속도 57, 96: 실리콘옥사이드막
 61: Si기판(제 1기판) 62: 다공질재료층
 65: 산화Si층 90: 코어판
 93: 석영보트 95: 실리콘웨이퍼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

발명의 분야

본 발명은 반도체기판뿐만 아니라 반도체박막을 제조하는 공정에 관한 것이다. 더욱 상세하게는, 절연층위에 단결정반도체층을 가지는 반도체기판과 Si(실리콘)기판위에 위치하는 단결정화합물반도체를 제조하는 공정에 관한 것이다. 또한, 본 발명은 단결정반도체층내에 형성될 전자디바이스 또는 집적회로에 적합한 다층구조, 및 이 다층구조를 제조하는 공정에 관한 것이다.

관련된 배경기술

절연체 위에 단결정Si반도체층의 형성은 "절연체위의 실리콘(SOI)"기술로 널리 공지되어 있다. SOI기술을 사용하는 디바이스는 Si집적회로(IC)를 제조하기 위한 종래의 벌크Si기판에 의해 달성가능한 무수한 이점을 가지므로, 많은 연구가 행해졌다. 더욱 상세하게는, SOI기술의 사용은 이하와 같은 이점을 가져 온다.

- (1) 유전체 절연이 집적의 밀도를 높이는데 충분히 용이하다.
- (2) 복사에 대한 저항이 양호하다.
- (3) 기생커패시턴스가 더욱 낮아져서 더욱 높은 동작속도를 달성할 수 있다.
- (4) 웰 형성스텝을 생략할 수 있다.
- (5) 디바이스가 래치업되는 것을 방지할 수 있다.
- (6) 한층더 얇은 막에 기인하여 완전한 공핍형FET(전계효과트랜지스터)를 형성할 수 있다.

(이러한 특징은, 예를 들면, Journal of Crystal Growth의 G.W.Cullen에 의해 편집된 Special Issue: "Single-crystal silicon on non-single-crystal insulators", volume 63, no. 3, pp. 429-590(1983)에 상세히 기재되어 있다.)

또한, 최근 몇년간, MOSFET(Metal-Oxide-Semiconductor FET)의 더욱 높은 동작속도와 더욱 낮은 전력소모를 실현하는 기판으로서 SOI가 매우 많은 보고서에 보고되어 왔다(IEEE SOI학회 1994).

이외에, 지지기판이 절연층을 통하여 SOI층으로 덮히는 것을 특징으로 하는 SOI구조에 의해, 절연층

은 회로소자 아래에 존재하게 되므로, 소자분리공정은 벌크 Si 웨이퍼 위에 소자를 형성하는 경우에 비해서 간단해질 수 있다. 그 결과, SOI 구조를 사용하는 디바이스를 형성하는 공정이 단축될 수 있다.

즉, SOI 위에 제조되는 MOSFET 또는 IC는, 벌크 Si 위에 제조되는 것에 비해서, 성능의 향상과 동시에 웨이퍼 비용 및 전체의 공정비용의 삭감이 기대된다.

이러한 모든 디바이스들에서, 완전한 공핍형(FD) MOSFET는 증가된 구동력에 기인하여, 이것의 동작속도가 증가되고, 전력소모가 더욱 낮아질 것이 기대된다. 일반적으로, MOSFET의 한계전압(V_{th})은 이것의 채널의 불순물농도에 의해 결정된다. 그러나, SOI를 사용하는 FD MOSFET의 경우에, 이것의 공핍층의 두께는 또한 SOI의 막두께와 막품질에 의해 영향받는다.

따라서, SOI막의 두께의 균일성과 SOI막의 품질의 향상은 대규모의 집적회로(LSI)를 양호하게 허용가능한 백분율로 제조하기 위해 매우 소망되어 왔다.

SOI기판의 형성에 관한 연구는 1970년대 이래로 활발해져 왔다. 초창기에 진지하게 연구했던 것은, 절연층인 사파이어기판위에 단결정 Si 이 이중에 피택설성장되는 것을 특징으로 하는 공정(SOS: Silicon on Sapphire)과, 다공질 Si의 산화에 의거한 유전체분리에 의해 SOI구조가 형성되는 것을 특징으로 하는 공정(FIPOS: Full Isolation by Porous Oxidized Silicon)과, 산소이온주입이었다.

상기 언급한 SOI기판을 형성하는 공정 이외에, "결합 또는 접착기술"로 칭하는 바와 같은 SOI기판을 형성하는 방법은 최근 몇년동안 확립되었다.

접착기술중 하나는 M. Bruei에 의한 "Electronics Letters, 31(1995), p. 1201", 일본특허출원 공개 5-211128호 공보 및 미국특허 제 5,374,564호에 기재되어 있다.

이 접착기술은 "스마트컷 공정"(등록된 상품명)이라 칭하는 공정으로, 간단히 5개의 스텝으로 이루어지고, 도면과 함께 이하 설명할 것이다.

(제 1스텝) 산화막(43)을 그 표면위에 가지는 제 1실리콘기판(벌크웨이퍼) (41)을 도 24에 도시된 바와 같이 제조한다.

(제 2스텝) 제 1실리콘기판(41)은 산화막(43)의 측면으로부터 수소이온이 주입된다(도 25). 수소이온은 기판(41)이 나중의 스텝에 의해 분리될 소망의 깊이까지 아래로 주입된다. "마이크로버블" 또는 "마이크로블리스터"로 칭하는 미세한 가스버블의 층(44)은 수소이온이 주입되는 영역내에 형성된다.

(제 3스텝) 결과의 제 1실리콘기판(41)과 지지기판이 될 제 2기판(46)은, 산화막(43)이 내부에 놓이도록 서로 접착된다(도 26).

(제 4스텝) 접착후, 결과의 구조는 400°C 내지 600°C 정도의 저온에서 열처리된다. 다음에, 도 27에 도시된 바와 같이, 제 2기판(46)위에 접착된 제 1기판(41)은 미세한 버블층(44)에서 분리되거나 경계로 나뉘어진다. 더욱 상세하게는, 열처리하는 미세한 버블층(44)의 결정을 재배열하고 또한 마이크로버블이 합쳐하도록 야기함으로써, 가스매크로버블을 형성한다. 매크로버블내의 압력은 미세한 버블영역과 그 근처를 매우 압박하는 기능을 한다. 따라서, 기판(41)은 버블층(44)에서 분리된다.

(제 5스텝) 그 후, 지지기판(46)을 포함하는 결과의 구조는, 접착의 계면을 안정화시키고 그 강도를 높이기 위해 고온에서 열처리된다. 이어서, 도 27에 도시된 바와 같이, SOI층(42)위에 남아 있는 미세한 버블층(44)은 도 28에 도시된 바와 같이 연마하여 제거된다.

상기 스텝을 통하여, 제 1실리콘기판(벌크웨이퍼)은 제 2기판위에 부분적으로 이전되며, SOI기판이 얻어질 수 있다.

발명이 이루고자 하는 기술적 과제

상기 설명한 바와 같이 수소 등의 이온에 의한 주입을 이용하여 SOI층이 형성되는 경우에, 이온주입영역은 대체로 SOI층의 두께를 결정한다. 따라서, 소망의 주입영역(SOI층의 두께)을 높은 제어력으로 형성하는 방법이 중요하다.

이외에, SOI층 자체는 벌크웨이퍼의 배이스위에 형성되므로, 산화유도적층결함(OSF: Oxidation Induced Stacking Faults), 결정에 연유한 조각(COP: Crystal Originated Particles) 및 흐름패턴결함(FPD: Flow Pattern Defects) 등의 벌크웨이퍼에 대해 특유한 결함 또는 결점을 포함한다.

여기서, OSF 등의 결함은, 이들이 웨이퍼의 표면근처의 소자동작영역 내에 존재하는 경우 누설전류를 증가시키는 원인을 형성한다. 따라서, OSF등이 없거나 OSF등이 더욱 적은 SOI기판을 제조하는 공정을 확립하는데 바람직했다.

그런데, OSF와 COP(Hidekazu Yamamoto: "Problems of Large-diameter Silicon Wafer to be Solved", 23rd Ultraclean Technology College(Aug.1996)) 및 FPD(T. Abe: Extended Abst. Electrochem. Soc., Spring Meeting, vol. 95-1, p.596 (May 1995))에 대해서는 나중에 설명한다.

발명의 구성 및 작용

본 발명의 목적은 결함의 수가 더욱 적고 그 두께가 매우 균일한 반도체박막을 제조하는 공정을 제공하는 데 있다.

본 발명의 또다른 목적은 SOI층의 두께가 매우 균일한 SOI기판을 제조하는 공정을 제공하는 데 있다.

본 발명의 또다른 목적은 OSF, COP, FPD 등의 벌크실리콘웨이퍼에 대한 특유한 결함이 없거나 또는 이들이 더욱 적은 반도체박막을 제조하는 공정을 제공하는 데 있다.

본 발명의 또다른 목적은 집착기술에 의거한 S01기판의 제조에서 기판재료를 재사용함으로써 더욱 경제적으로 S01기판을 제조하는 공정을 제공하는데 있다.

그런데, 본 발명에서, "S01기판"이라는 표현은 절연층위에 단결정실리콘층 (S01층)을 가지는 기판뿐만 아니라 지지기판위에 GaAs, InP 등의 화합물반도체층을 가지는 기판도 포함하는 것이다.

반도체기판을 제조하는 본 발명의 공정은, 수소어닐링이 행해질 표면층부분을 가지는 제 1기판을 제조하는 스텝과; 수소, 질소 및 회가스로 이루어진 군으로부터 선택된 적어도 1종의 원소의 이온을 상기 표면층부분에 보다 가까운 측면으로부터 상기 제 1기판에 주입함으로써 분리층을 형성하는 분리층형성스텝과; 상기 표면층부분이 내부에 놓이도록 상기 제 1기판과 제 2기판을 서로 접착함으로써 다층구조를 형성하는 접착스텝과; 상기 분리층을 사용하여 상기 다층구조를 분리함으로써 상기 표면층부분의 적어도 일부분을 상기 제 2기판위로 이전하는 이전스텝으로 이루어진 것을 특징으로 한다.

반도체기판을 제조하는 본 발명의 공정은, 또한 상기 제 2기판위에 이전된 상기 제 1기판의 상기 표면층부분내에, 단위웨이퍼당 COP의 수는 그 바깥쪽표면으로부터 측정된 상기 표면층부분의 깊이에 따라 감소되는 것을 특징으로 한다.

반도체기판을 제조하는 본 발명의 공정은, 상기 이전스텝후, 수소함유환원성분위기에서, 상기 제 2기판위에 이전된 상기 제 1기판의 상기 표면층부분을 열처리하는 스텝을 부가하여 구비한 것을 특징으로 한다.

작업의 또다른 측면에서, 반도체기판을 제조하는 본 발명의 공정은, 수소어닐링이 행해질 표면층부분을 가지는 제 1실리콘기판을 제조하는 스텝과; 수소, 질소 및 회가스로 이루어진 군으로부터 선택된 적어도 1종의 원소의 이온을 상기 표면층부분에 보다 가까운 측면으로부터 상기 제 1실리콘기판에 주입함으로써 분리층을 형성하는 분리층형성스텝과; 상기 제 1기판과 제 2기판을 서로 접착함으로써 다층구조를 형성하는 접착스텝과; 상기 다층구조가 형성되는 동안 또는 상기 다층구조가 형성된 후, 제 1온도에서 제 1 및 제 2기판을 열처리하는 스텝과; 상기 분리층에서 상기 다층구조를 분리함으로써 상기 표면층부분의 적어도 부분을 상기 제 2기판위로 이전하는 이전스텝과; 상기 제 2기판위로 이전된 상기 표면층부분을 제 1열처리온도보다 높은 제 2열처리온도에서 열처리하는 스텝으로 이루어진 것을 특징으로 한다.

또한, 반도체박막을 제조하는 본 발명의 공정은, 수소어닐링이 행해질 표면층부분을 가지는 제 1실리콘기판을 제조하는 스텝과; 수소, 질소 및 회가스로 이루어진 군으로부터 선택된 적어도 1종의 원소의 이온을 상기 표면층부분에 보다 가까운 측면으로부터 상기 제 1실리콘기판에 주입함으로써 분리층을 형성하는 분리층형성스텝과; 상기 분리층에서 상기 표면층부분의 적어도 부분을 분리하는 분리스텝으로 이루어진 것을 특징으로 한다.

게다가, 반도체기판을 제조하는 본 발명의 공정은, 수소를 함유하는 환원성분위기에서 실리콘기판을 열처리하는 스텝과; 수소, 질소 및 회가스로 이루어진 군으로부터 선택된 적어도 1종의 원소의 이온을 상기 표면층부분에 보다 가까운 측면으로부터 상기 실리콘기판으로 주입함으로써 분리층을 형성하는 분리층형성스텝과; 상기 실리콘기판과 제 2기판을 서로 접착함으로써 다층구조를 형성하는 접착스텝과; 상기 분리층에서 상기 다층구조를 분리함으로써 상기 제 2기판위로 상기 표면층부분의 적어도 부분을 이전하는 이전스텝으로 이루어진 것을 특징으로 한다.

본 발명에 의한 다층구조는, 수소, 질소 및 회가스로 이루어진 군으로부터 선택된 적어도 1종의 원소의 이온을 주입함으로써 형성된 분리층을 내부에 포함하는 제 1실리콘기판과 제 2기판이 서로 접착되고, 상기 제 1실리콘기판은 수소어닐링에 의해 형성된 표면층부분을 그 표면내에 포함하는 것을 특징으로 한다.

반도체박막을 박리하는 본 발명의 공정은, 수소어닐링이 행해지는 표면층부분을 그 표면내에 포함하는 실리콘기판을 제조하는 스텝과; 수소, 질소 및 회가스로 이루어진 군으로부터 선택된 적어도 1종의 원소의 이온을 상기 표면층부분에 보다 가까운 측면으로부터 주입함으로써 분리층을 형성하는 스텝과; 상기 분리층을 사용하여 상기 표면층부분의 적어도 부분에서 박리하는 스텝으로 이루어진 것을 특징으로 한다.

바람직한 실시예의 설명

먼저, 본 발명에 대해 반도체기판을 제조하는 공정의 흐름도를 도시하는 도 1을 참조하여 기본적으로 설명한다.

수소어닐링이 행해지는 표면층부분을 기판의 적어도 하나의 주표면에 가지는 제 1기판이 제조된다(스텝 S1).

이어서, 수소 등의 이온을 제 1기판에 주입하여 제 1기판내의 소정의 위치에 분리층을 형성한다(스텝 S2).

이외에, 제 1기판과 제 2기판을 주표면내 내부에 놓이도록 서로 접착해서 다층구조를 형성한다(스텝 S3). 그 후, 다층구조는 분리층(스텝 S4)을 사용하여 분리된다(스텝 S4).

그 두께가 균일하고 OSF 및 COP 등의 결함이 매우 적은 수로 존재하는 박막(S01층)을 가지는 S01기판은 상기 스텝 S1 내지 S4와 피니시스텝 S5를 통하여 제조할 수 있다.

다음에, 본 발명에 대해 도 2 내지 도 6을 참조하여 구체적으로 설명한다.

수소어닐링이 행해질 표면층부분(12)을 기판의 하나의 주표면에 가지는 제 1기판(10)은 도 2에 도시된 바와 같이 제조된다. 표면층부분(12)은 시이드로서 기능하는 벌크웨이퍼가 수소를 함유하는 환원성분위기에서 열처리되는 방법으로 형성될 수 있다(이후, 열처리는 "수소어닐링"으로 칭함). 본 발명에서 "표면층부분"이란 표현은, OSF, COP 및 FPD 등의 벌크웨이퍼에 기인하는 결함이 수치적으로 적아지거나 또는 감소되는 층(결함이 보다 적은 층)을 의미하도록 의도된다(이후, "표면층부분"은 "결함이 보다 적은 층"으로도 또한 표현될 것이다).

숫자(11)은 OSF, COP 등의 결함을 수소어닐링에 의해 감소시키는 효과가 낮아지는 영역을 가리킨다. 물

론, 제 1기판(10)은 결함이 보다 적은 층(12)으로 완전히 형성되는 것이 당연하다. 말하자면, 결함이 보다 적은 층(12)과 영역(11)이 특정한 경계에서 비약적으로 변화하도록, 도 2에 도시되어 있으나, 실제로 이들은 임의의 엄격한 경계없이 점차 변화한다. 제 1기판(10)의 양 표면층이 결함이 보다 적은 층이 어도 된다.

MOSFET 등의 회로소자가 결함이 보다 적은 층(12) 내에 형성된 후, 연속하는 스텝을 행하는 것도 또한 허용된다.

이어서, 도 3에 도시된 바와 같이, 수소 등의 이온을 제 1기판(10)내에 주입하여 분리층(14)을 형성한다.

분리층(14)은 결함이 보다 적은 층(12)내에 또는 영역(11)과 결함이 보다 적은 층(12)사이에 형성되는 것이 바람직하다. 분리층(14)이 결함이 보다 적은 층(12)내에 형성된 경우에, 이 결함이 보다 적은 층(12)은 분리층(14)위에 위치하는 층(16)(이하, "S01층"으로 칭함)과 분리층 아래에 위치하는 층(17)으로 분리된다. 대안으로, 분리층(14)은 영역(11)내에 형성되어도 된다.

이온주입 전 또는 후, 절연층(13)을 형성하는 것 또한 허용가능하다. 접착제면의 레벨은 절연층(13)에 의해 활성층(S01층)(16)으로부터 떨어져 있을 수 있다. 특히, 이온주입스텝전에 절연층(13)의 형성은 또한 이온주입에 기인하여 결함이 보다 적은 층(12)의 표면이 거칠어지는 것을 방지하는데 효과적이다. 특히, 절연층(13)이 결함이 보다 적은 층(12)의 표면을 산화시킴으로써 형성되는 경우, 결과의 제 1기판(10)을 현재 있는 그대로의 제 2기판(15)에 접착함으로써 S01웨이퍼의 매입형 산화막으로서 사용될 수 있다.

다음 스텝에서, 제 1기판(10)은 결함이 보다 적은 층(12)이 내부에 놓이도록 제 2기판(15)과 접착된다. 다음에, 다층구조(18)가 형성된다(도 4).

그 후, 도 5에 도시된 바와 같이, 다층구조(18)는 분리층(14)을 사용하여 분리된다. 여기서, 다층구조(18)는 분리층(14)내에서, 또는 영역(11) 또는 S01층(16)에 보다 가까운 분리층(14)의 계면에서 분리된다. 대안으로, 다층구조(18)는 분리층(14)내의 한 부분에서 또한 분리층(14)의 계면의 다른 부분에서 분리되어도 된다.

따라서, S01층(16)이 제 2기판(15)위에 이전되거나 이동된 반도체기판은 도 5에 도시된 바와 같이 형성된다. S01층(16)은 결함이 보다 적은 층(12)을 기초로 하여 형성되었으므로, 벌크웨이퍼에 대해 특유한 OSF, COP등의 결함이 상당히 없거나 또는 매우 경감된 것이다.

분리층(14)이 영역(11)내에 형성된 경우에, 영역(11) 등의 불필요한 부분은, 또한 이전후 S01층(16)(결함이 보다 적은 층(12))이 노출될 때까지 연마, 에칭에 의한 에칭, 또는 수소어닐링에 의거한 에칭에 의해 제거될 수 있다.

본 발명에 의하면, 특히 분리층(14)이 결함이 보다 적은 층(12)내에 형성된 경우, 주입된 이온은 분리층(14)에서 OSF, COP등의 결함에 의해 보다 덜 분산된다. 따라서, COP의 결함이 수치적으로 큰 영역내에 분리층을 형성하는 경우보다 그 두께가 더욱 균일한 분리층(14)을 형성할 수 있다. 바꾸어 말하면, S01층(16)의 두께의 균일성을 향상시킬 수 있다.

이외에, 분리층(14)의 일부분 및/또는 영역(11)의 일부분이 분리 후 S01층(16)위에 남아있는 경우에, 이들(이것)을 제거함으로써 본 발명에 의해 의도되는 반도체기판이 완성된다(도 6).

말하자면, 분리 후 얻어진 제 1기판(10)(특히 영역(11))은 상기 설명한 반도체기판을 제조하는 공정에 대해 재사용될 수 있다. 이 경우에, 분리층(14)의 일부분이 영역(11)위에 남아 있으면, 이것은 제거되고, 제 1기판(10)의 표면이 허용가능한 이상으로 거칠면, 이것에 평탄화처리가 행해진다. 그 후, 결과의 제 1기판(10)은 새로운 제 1기판으로서 다시 사용될 수 있다. 물론, 제 2기판(15)으로서 또한 사용될 수도 있다.

결함이 보다 적은 층(12)이 미리 더욱 두껍게 형성되면, 제 1기판(10)의 다음의 재사용시 수소어닐링을 행함이 없이 재공급될 수 있다.

이제, 본 발명에 의한 반도체기판의 각 구성요소와 스텝에 대해 상세히 설명한다.

(제 1기판)

벌크실리콘웨이퍼, 특히 CZ실리콘웨이퍼는 제 1기판(10)의 개시재료로서 사용된다. 원재료 웨이퍼에 수소어닐링을 행함으로써, COP(Crystal Originated Particles) 등의 결함이 수치적으로 줄어드는 표면층부분(12)을 가지는 제 1기판(10)을 사용하는 것이 적합하다.

"CZ실리콘웨이퍼"는 풀링(pulling)방법(Czochralski method)에 의해 제조되는 실리콘기판이다. CZ웨이퍼는 큰 수의 OSF(Oxidation Induced Stacking Faults), COP 및 FPD(Flow Pattern Defects)등의 벌크웨이퍼에 대해 특유한 결함을 포함한다.

여기서, "OSF"는 공정의 중핵으로서 기능하는 결정웨이퍼의 성장시 야기되는 미세한 결함이 산화공정에 의해 활성화되는 것이다.

예를 통하여, 링형상의 OSF는 웨이퍼표면에 습식산화가 행해지는 경우 때때로 관찰된다.

한편, 어떠한 열처리도 행함이 없이 관찰될 수 있는 "COP"와 "FPD"는 동일한 원인에 기인한 결함(성장시 결함)으로 고려되고, 이들은 엄격하게 한정되지도 구별되지도 않는다. 그러나, 대략 말하면, 전자의 결함 "COP"는, RCA세정액의 구성액체중 1종인 SC-1($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$)용액에 웨이퍼를 침지시킨 후, 광산란에 의거한 미세조각검출기 또는 미물검사장치에 의해 검출될 수 있는 에치피트로 의미한다. 후자의 결함 "FPD"는 세코(Secco)용액($\text{K}_2\text{Cr}_2\text{O}_7/\text{HF}/\text{H}_2\text{O}$)에 약 30분동안 웨이퍼를 침지시킨 후 광학현미경으로 관찰되는 에치피트로 의미한다.

말하자면, OSF, COP 및 FPD 등의 결함의 원인은 아직 정확히 밝혀지지 않았다. 그러나, 모든 결함이 웨이퍼내에 함유된 산소의 농도에 크게 상관함이 보고되었고, 산소농도가 높으면 OSF 등의 결함이 발생하기 쉽다(예를 들면, Realize Inc.에 의해 발행된 "Problems of Silicon Crystal and Wafer Technology", p. 55에).

다음에, 수소어닐링에 의해 형성된 결함이 보다 적은 층(12)에 대해 설명한다.

통상, CZ실리콘웨이퍼는 10^{16} atoms/cm²의 오더로 산소를 함유한다. 웨이퍼에 수소어닐링이 행해지면, 이 웨이퍼내에 함유된 산소는 외부로 확산되어 웨이퍼표면과 그 근처의 산소농도가 낮아진다.

산소농도의 저하에 기인하여, 웨이퍼의 표면층부분은 더욱 개질되어 COP, OSF등의 결함이 수치적으로 감소되는 결함이 보다 적은 층(12)이 형성될 수 있다. 예를 통해, OSF는 산소원자가 침전핵과 초래된 산소침전물을 모으는 방법으로 나타나, 결함(적층결함)은 원점으로서 침전핵과 함께 증가한다.

이외에, COP는 CZ실리콘웨이퍼내에 10^8 내지 10^7 /cm²의 밀도로 존재한다. 예를 들면, 8인치 웨이퍼의 경우에, 단위웨이퍼당 400 내지 500입자의 오더로 COP가 웨이퍼의 표면근처에 존재한다. 그러나, CZ실리콘웨이퍼에 수소어닐링이 행해지면, COP의 수는 갑자기 표면의 근처에서 약 10으로 감소된다. 즉, 대체로 결함이 없는 층(DZ층; Denuded Zone layer)이 형성된다. 말하자면, 본 발명에서 "단위웨이퍼당 수"는 "하나의 웨이퍼가 점유하는 표면적당 COP등의 결함의 수"를 의미한다. 예를 통해, 8인치 웨이퍼의 경우에, "단위웨이퍼당 수"는 약 324cm²에 대한 COP의 수이다.

이 방법에서, 수소어닐링이 행해진 CZ실리콘웨이퍼가 사용되면, 제 2기판 (15)위로 전사될 SOI층(16)내에 존재하는 COP등의 결함은 0으로 되거나 또는 감소될 수 있고, SOI층(16)의 두께의 균일성이 증가될 수 있다.

수소어닐링에 의해 형성된 결함이 보다 적은 층(12)의 두께는, 제 2기판(15)위로 전사되는 SOI층(16)의 두께에 또한 의존하나, 500 내지 5000nm의 오더로 되는 것이 바람직하다.

결함이 보다 적은 층(12)내의 산소농도는 5×10^{17} atoms/cm² 또는 그 이하이고, 바람직하게는 5×10^{16} atoms/cm² 또는 그 이하이다.

또한, 이온주입에 의해 형성된 분리층(14)내의 산소의 농도는 상기 특정의 범위내에 포함되는 것이 바람직하다.

결함이 보다 적은 층(12) 내의 단위체적당 COP의 밀도는 0입자/cm² 내지 5×10^6 입자/cm² 또는 그 이하에 있고, 바람직하게는 0입자/cm² 내지 1×10^6 입자/cm² 또는 그 이하에 있고, 더욱 바람직하게는 0입자/cm² 내지 1×10^5 입자/cm² 또는 그 이하에 있다. 표면층부분(12)의 최외측표면으로부터 이온주입의 투입범위로 연장하는 깊이방향의 영역내의 COP의 밀도는 상기 특정의 값 내에 있는 것이 특히 바람직하다.

이외에, 8인치 웨이퍼의 경우에, 결함이 보다 적은 층(12) 내의 단위웨이퍼당 COP의 수는 0 내지 500 또는 그 이하에 있고, 바람직하게는 0 내지 100 또는 그 이하에 있고, 더욱 바람직하게는 0 내지 50 또는 그 이하에 있고, 더욱더 바람직하게는 0 내지 10 또는 그 이하에 있다. 말하자면, 웨이퍼의 표면에서의 COP의 분포는 COP가 중심으로부터 약 6cm내에 연장되어 있는 웨이퍼의 중심근처에 집중하는 집중경향을 가지는 것이다. 따라서, 단위웨이퍼당 COP의 수는 8인치웨이퍼에서 심지어 12인치 웨이퍼 또는 더욱 큰 웨이퍼에서도 이 값과 대략 동일한 것이 바람직하다.

또한, 웨이퍼표면에서 단위면적당 COP의 수는 0/cm² 내지 1.6/cm² 또는 그 이하에 있고, 바람직하게는 0/cm² 내지 0.5/cm² 또는 그 이하에 있다.

또한, 분리층(14) 내의 단위체적당 (또는 단위면적당) COP의 밀도는 상기 범위내에 떨어지는 것이 바람직하다.

또한, 결함이 보다 적은 층(12)내에서 단위면적당 FPD의 수는 0/cm² 내지 5×10^7 /cm² 또는 그 이하에 있고, 바람직하게는 0/cm² 내지 1×10^7 /cm² 또는 그 이하에 있다.

이외에, OSF에 관해서 결함이 보다 적은 층(12)을 특정하는 경우에, 단위면적당 OSF의 밀도는 0결함/cm² 내지 100결함/cm² 또는 그 이하에 있고, 바람직하게는 0결함/cm² 내지 50결함/cm² 또는 그 이하에 있고, 더욱 바람직하게는 0결함/cm² 내지 10결함/cm² 또는 그 이하에 있다.

결함이 보다 적은 층(12)은 수소를 함유하는 환원성분위기에서 제 1기판 (10)의 원재료를 열처리하여 형성된다. 분위기는 수소가스, 또는 수소와 희가스 (Ar, He, Ne, Xe, Kr등)로 이루어진 혼합가스이어도 된다.

수소어닐링을 위한 온도는 500°C 내지 제 1기판(10)의 재료의 융점이하에 있고, 바람직하게는 800°C 내지 제 1기판(10)의 재료의 융점이하에 있고, 더욱 바람직하게는 1000°C 내지 제 1기판(10)의 재료의 융점이하에 있다.

제 1기판(10)이 실리콘기판(실리콘의 융점은 약 1412°C임)인 경우에, 어닐링온도는 산소의 확산을 열처리노워의 부담을 고려하여 800°C 내지 1350°C에 있는 것이 바람직하다. 더욱 바람직하게는 900°C 내지 1250°C에 있다.

수소어닐링을 위한 수소함유 분위기의 압력은 대기압, 감압 및 승압중 어느 것이어도 된다. 대기압하에서, 또는 대기압(1×10^5 Pa)과 1×10^4 Pa사이의 압력하에서 수소어닐링을 행하는 것이 적합하다. 대기압보다 약 100mmHg만큼 낮은 다소 감압하에서 수소어닐링을 행하는 것이 더욱 적합하다. 특히, 수소어닐링이 감압하에서 행해지는 경우, COP 등의 결함은, 감소효과가 열처리노의 설계에 또한 의존하나, 산소 등

의 외부확산에 의거하여 더욱 효과적으로 감소될 수 있다.

수소어닐링을 위한 노는 통상적으로 사용되는 수직형 열처리노 또는 수평형열처리노이여도 된다. 사용 가능한 히터는 저항히터, 라디오주파수히터등 중에서 어느 것이어도 된다.

대안으로, 수소어닐링은 열방사를 이용하고 RTA(Rapid Thermal Annealing)(급속열어닐링)를 위해 사용되는 램프가열에 의해 행할 수도 있다. 이 경우에 급속어닐링장치는, 예를 들면, 할로겐램프, 아르곤램프 등에 의거한 적외선어닐링장치, 또는 크세논플래시램프 등에 의거한 플래시램프 어닐링장치이여도 된다. 특히 램프가열의 경우에, 수소어닐링을 단시간동안 가능하다.

수소어닐링을 위해 요구되는 시간기간은 수초와 수십시간 사이이어야 하고, 바람직하게는 수초와 수십시간 사이이어야 한다.

그런데, 결함이 보다 적은 층(12)이 CZ실리콘웨이퍼에 수소어닐링을 행함으로써 형성된 경우에, 도 2에 도시된 결함이 보다 적은 층(12)과 같이, 단위웨이퍼당 결함(예를 들면, COP)의 수는 층의 최외측표면에서 최소이고 웨이퍼의 더욱 깊은 부분에서는 더욱 증가한다. 점착기술(점착법)에 의해 S01기판을 제조하는 경우에, 도 6에 도시된 S01층(16)내에서 COP의 수는 S01층(16)과 절연층(13)사이의 계면에서 최소이고 S01층(16)의 최외측표면에서 최대이다.

따라서, 수소어닐링을 행하고 또한 S01층(16)의 노출 후, 이어서 분리시스템을 행하는 S01층(16)의 최외측 표면에서 COP의 수가 더욱 감소되는 것으로 선호된다. 이 경우에, 양측표면 모두가 수소어닐링이 행해진 S01층(16)이 얻어질 수 있다. 특히, 결함이 보다 적은 층(12)이 CZ실리콘웨이퍼에 수초 내지 3시간 정도의 시간기간동안 수소어닐링을 행함으로써 형성된 경우에, 결함이 보다 적은 층(12)의 양측표면에 대해서 수소어닐링을 행하는 것이 더욱 바람직하다.

또한, 수소어닐링을 건디는 제 1기판(10)의 재료는 CZ실리콘웨이퍼에 제한되지 않으나, 이후, "MCZ실리콘웨이퍼로 칭하는 MCZ법(Magnetic Field Applied Czochralski Method)에 의해 제조된 실리콘웨이퍼도 또한 선호하여 사용될 수 있다. CZ실리콘웨이퍼와 비교해서, MCZ실리콘웨이퍼는 실리콘내에 포함된 COP의 크기에 있어서의 증가를 억제하는 것이 보고되었다("Electronic Materials", 1998년 6월 발행, p.22). 수소어닐링을 행할 때, MCZ실리콘웨이퍼는 CZ실리콘웨이퍼보다 양호한 품질의 결함이 보다 적은 층(12)을 가지고 형성될 수 있다.

미외에, 제 1기판(10)을 위해 실리콘을 사용하는 경우에, 웨이퍼의 고유저항이 0.1 내지 100 $\Omega \cdot \text{cm}$, 더욱 바람직하게는 0.5 내지 50 $\Omega \cdot \text{cm}$ 인 p타입 또는 n타입 CZ웨이퍼를 사용할 수 있다.

통상 또는 인 등의 불순물성분이 수소어닐링에 의해 실리콘내로부터 외부확산되는 것을 고려하면, 수소어닐링을 건디는 기판인 CZ실리콘웨이퍼는 상기 고유저항보다 낮은 고유저항을 가지는 것이 당연하다. 그러나, 결함이 보다 적은 층(12) 자체는 0.1 내지 100 $\Omega \cdot \text{cm}$ 의 고유저항을 가지는 p타입 또는 n타입을 나타내는 것이 바람직하고, 더욱 바람직하게는 약 0.5 내지 50 $\Omega \cdot \text{cm}$ 이다.

물론, 소망의 S01층(16)이 얻어지면, 지정되지 않은 농도의 웨이퍼 또는 재사용된 웨이퍼는 또한 사용될 수 있다. 상기 범위 밖의 고유저항이 S01웨이퍼의 S01층의 특정사양으로써 요구되는 경우에, 특정사양에 일치하는 고유저항의 웨이퍼를 사용하는 것이 선호된다.

또한, 제 1기판(10)의 재료는 CZ 또는 MCZ단결정 실리콘기판에 제한되지 않으나, Ge기판, SiC기판, SiGe기판, GaAs기판, InP기판 등 중에서 어느 것이어도 된다.

게다가, 제 1기판(10)의 재료가 실리콘기판인 경우에, 기판의 표면을 산화시킴으로써 실리콘옥사이드층은 절연층(13)으로서 사용될 수 있다. 기판표면을 질화함으로써 실리콘니트라이드층이 형성되는 방법 또는 CVD(Chemical Vapor Deposition)에 의해 결함이 보다 적은 층(12) 위에 실리콘옥사이드막 또는 실리콘니트라이드막이 퇴적되는 방법으로, 절연층(13)이 실현되는 것이 당연하다.

절연층(13)의 두께는 수 nm 내지 수 μm 정도가 바람직하다.

물론, 제 1기판(10)위에 절연층(13)의 형성을 생략하는 것 또는 제 1기판(10)과 제 2기판(15)의 양측위에 절연층(13)을 미리 형성하는 것은 또한 허용가능하다.

(이온주입)

분리층(14)의 형성을 위한 이온주입의 원소에 관해서, 수소, 또는 헬륨, 네온, 크립톤 또는 크세논 등의 희가스의 이온, 또는 질소단독 또는 선행의 원소중 임의와의 조합의 이온을 주입하는 것이 가능하다.

동일한 원소에 대해서도 H^+ 와 H_2^+ 등의 질량이 다른 이온이 주입됨으로써, 다중구조(18)의 분리가 용이하게 될 수 있다. 이온주입의 시스템은 동일한 원소의 이온이 1회 주입되는 경우에 제한되지 않고, 즉 동일한 침투범위를 가지도록 복수회 주입되어도 된다. 또한, 주입하는 이온종류, 그 에너지, 그 1회 주입량을 단계별로 변화시킴으로써 분리층(14)을 설계하고 또한 형성하는 것이 선호된다. 특히, 지지기판인 제 2기판(15)위로 이전될 S01층(16)에 보다 가깝게 있으므로, 보다 낮은 또는 보다 높은 기계적강도를 가지도록 분리층(14)을 형성함으로써, 분리시스템이 소망하는 바에 따라 행해지는 것이 선호된다. 일반적으로, 1회주입량은 더욱 크므로, 마이크로버블은 더욱 증가하고 주입된 영역의 기계적강도는 낮아진다.

이온주입은 가속전압을 1keV 내지 10MeV를 포함하는 범위내에 설정함으로써 행해질 수 있다. 주입층(14)의 두께는 가속전압에 따라 변화하므로, 이 전압은 소망의 조건을 충족하도록 수십 keV 내지 500keV의 오더에 설정되는 것이 바람직하다.

어쨌든, 다중구조(18)가 결과의 분리층(14)에서 용이하게 분리되도록 이온주입을 행하는 것이 중요하다.

본 발명에서는, 이온주입의 침투범위 R_p (주입깊이)가 결함이 보다 적은 층(12)내에 있도록 이온주입을 행하기 위해 균일한 주입깊이를 달성할 것이 또한 선호된다. S01층(16)의 두께는 통상 수 nm 내지 5 μm 이다.

이온주입에 의해 형성되는 분리층(14)의 두께는 통상 0.50마이크론 또는 그 이하이다. 특히, 제 2기판(15)위로 미전된 박막(12)을 균일한 두께로 형성하기 위해 수천 Å 또는 그 이하가 더욱 바람직하다. 분리층(14)은 예를 들면 이온주입의 침투범위를 포함한다.

1회주입량은 $1.0 \times 10^{16}/\text{cm}^2$ 내지 $1.0 \times 10^{18}/\text{cm}^2$ 에, 더욱 바람직하게는 $1.0 \times 10^{16}/\text{cm}^2$ 내지 $2.0 \times 10^{17}/\text{cm}^2$ 에 설정될 수 있다.

이온주입의 온도는 -200°C와 600°C 사이에 있는 것이 바람직하고, 더욱 바람직하게는 500°C 또는 그 이하에, 더욱 더 바람직하게는 400°C 또는 그 이하이다. 왜냐면, 온도가 약 500°C를 초과하면, 침투범위 가까이에 모인 주입이온은 제 1기판(10)으로부터 방출되어 급속히 확산되므로, 분리층(마이크로버블층)(14)이 형성되지 않기 때문이다.

분리층(14)을 형성하는 또다른 공정은, 플라스마를 사용하여 예를 들면, 수소이온이 소망의 영역내로 침투하도록 하는 플라스마이온주입이다. 플라스마에 기인하여, 이온주입층(분리층(14))이 종래의 이온주입의 경우보다 단시간내에 더욱 균일한 두께로 형성될 수 있다.

(접착)

제 1기판(10)에 접착되는 제 2기판(15)의 종류로서 언급된 것은 단결정실리콘기판; 다결정실리콘기판; 비정질실리콘기판; 사파이어기판; 석영기판 또는 유리기판 등의 광투과기판; Si 등의 금속기판; 알루미늄 등 의 세라믹기판; 및 GaAs, InP 등의 화합물반도체기판이 있다. 제 2기판(15)의 종류는 SiO층(16)을 포함하는 최종의 제조품의 의도되는 용도에 따라 적절히 선택된다. 제 1기판(10)은 또한, 플라스틱 등의 기판이 적절한 평탄성을 가지면, 이 기판에도 접착될 수 있다.

또한 제 2기판(15)의 접착면 위에 미리 절연층을 형성하는 것도 좋다. 제 1 및 제 2기판의 접착시, 절연시트가 이들 사이에 샌드위치되어 3층적층구조를 형성하는 것이 당연하다. 광투과기판이 제 2기판(15)으로서 사용되면, 광센서 또는 투영형의 액정화상표시패널인 접촉센서가 짜맞추어질 수 있다. 여기서, 그 성능이, 센서 또는 표시패널의 화소밀도, 해상도 및 선명도를 높이기때문에 충분히 높은 구동소자가 제조될 수 있다.

다층구조(18)는 제 1기판(10)과 제 2기판(15)을 실온에서 접착시킴으로써 형성된다.

실온에서 적층되기 전에, 제 1 및 제 2기판이 질소 또는 산소플라스마에 의해 활성화된 그들의 표면을 가지고 물로 세정된 다음 건조된 경우에, 접착강도를 증가시키기 위한 다음의 스텝의 열처리는 낮아진 처리 온도를 가질 수 있다.

제 1기판(10)과 제 2기판(15)이 접착강도를 높임으로써 밀착되는 경우에, 접착의 도중 또는 후에 열처리(이후, "제 1열처리"로 칭함)를 행하는 것도 또한 좋다. 제 1열처리는 실온 내지 500°C, 더욱 바람직하게는 실온 내지 400°C의 온도에서 행해지는 저온열처리인 것이 바람직하다.

또한, 제 1열처리가 있거나 또는 없는 상태에서, 다층구조(18)를 가압하거나 또는 양극접착에 의해 제 1 및 제 2기판을 접착하는 것이 좋다.

접착동작을 위한 분위기에 관해서, 제 1 및 제 2기판은 대기, 산소, 질소, 진공 등 중에서 어느 것과 접촉하여도 된다.

제 1열처리의 분위기는 N₂, O₂, 산화분위기 또는 이들의 조합이어도 된다.

그런데, 제 1기판(10)은 지지기판으로서 기능하는 제 2기판(15)과 직접 접착되지 않고, 또한 다른 기판에 일단 접착된 후 소망의 지지기판에 접착될 수도 있다.

(분리)

다층구조(18)는 열처리에 의해 분리되거나 또는 나누어질 수 있다. 구체적으로, 열처리는 400°C 내지 1350°C, 더욱 바람직하게는 400°C 내지 1000°C, 더욱더 바람직하게는 400°C 내지 600°C의 온도에서 행해진다.

상기 설명한 바와 같이 열처리가 행해지면, 분리층(14)은 분리층(14)내의 결정의 재배열 및 마이크로버블의 병합에 의해 내부적으로 기압이 일정하게 유지되고, 결함이 보다 적은 층(12)의 일부분 또는 전체인 박막은 박리된다.

또한, 분리층(14)의 속력증가산화를 사용하여 다층구조(18)를 분리할 수 있다.

더욱 상세하게는, 이온주입층(분리층(14))은 다층구조(18)의 주변부로부터 산화된다. 따라서, 이온주입층의 체적팽창은, 책기가 이온주입층내에 바깥쪽 주변부로부터 균일하게 삽입된 것처럼, 그 바깥쪽 주변부에 보다 가까운 위치에서 더욱 커진다. 따라서, 이온주입층만이 내부압을 받고, 다층구조(18)는 이온주입층내에서 또는 전체웨이퍼에 걸쳐 그 계면에서 분리된다.

말하자면, 이온주입층은 통상 그 바깥쪽 주변부에서도 비다공질층으로 덮인다. 이에 관해서, 또한, 제 1기판(10)과 제 2기판(15)을 다층구조(18)로 접착한 후 또는 전에 이온주입층의 바깥쪽 주변부 또는 단부면을 노출하는 것도 좋다. 이러한 다층구조(18)가 산화되면, 속력증가산화는 이 이온주입층의 매우 큰 표면적때문에 이온주입층의 바깥쪽 주변부로부터 개시된다.

Si가 SiO₂로 변화되면, 그 체적은 2.27배 확대된다. 따라서, 56% 또는 그 이하의 기공율의 조건하에서, 산화된 이온주입층은 또한 체적팽창을 나타낸다. 산화의 정도가 웨이퍼의 중심을 향해 낮아지므로, 산화된 이온주입층의 체적팽창은 웨이퍼의 바깥쪽 주변부에서 더욱 크게된다. 이러한 현상은 웨이퍼의 단부면으로부터 이온주입층내에 책기를 삽입하는 경우와 동일한 상태를 나타낸다. 따라서, 이온주입층만이 내부압을 받고, 다층구조(18)는 이온주입층 내에서 분리되도록 힘을 받는다. 게다가, 산화는 웨이퍼

의 주변에서부터 균일하게 진행해서, 다층구조(18)는 웨이퍼의 바깥쪽 주변부로부터 동일하게 박리된다.

본 발명에 의하면, 이온주입다공질층의 속력증가산화가능성, 그 체적팽창 및 그 유약함의 정도는 양호한 균질성을 가지는 종래의 Si-IC 공정중 하나의 스텝인 산화를 사용하여 조합된다. 따라서, 내부막은 이온주입다공질층에만 미칠 수 있음으로써, 웨이퍼는 양호한 제어력으로 이온주입다공질층내에서 분리될 수 있다.

대안으로, 접착 기판물체(적층기판)는, 접착웨이퍼가 설계시 다층구조로 되고 이온주입 다공질재료가 구조적으로 유약한 사실을 사용하여 열응력이 전체의 접착기판물체를 가열하여 생성되는 방법으로 유약한 이온주입 다공질층에서 분리될 수 있다. 이 경우에 가열은, 예를 들면, 1150°C의 온도에서 또한 30초의 시간기간동안의 열처리에 의해 행해질 수 있다.

본 발명에서, 또한 이온주입다공질재료가 구조적으로 유약한 사실을 이용하여, 이온주입다공질재료 단독 또는 이 재료뿐만 아니라 그 근처가 가열된 결과, 열응력, 유연화 등에 의해 다층구조(18)는 이온주입다공질층을 통해 분리될 수 있다.

특히 레이저가 사용되면, 특정한 층만이, 전체의 접착기판물체를 가열함이 없이, 흡수에너지로 이 층에 허용함으로써 가열될 수 있다. 여기서, 국부적인 가열은 이온주입다공질층 또는 이온주입다공질재료의 근처의 층만에 의해 흡수되는 파장의 레이저를 사용하여 행해질 수 있다. 레이저로서 사용가능한 것은, 예를 들면, 500 내지 1000nm 정도의 출력파워를 가지는 CO₂레이저이다.

다공질층은, 전류가 이온주입다공질층을 통하여 또는 이온주입다공질재료의 근처의 웨이퍼표면내에 흐르도록 야기하는 방법으로 급속히 가열될 수 있다. 또한 역동전류를 흐르게 함으로써 가열될 수도 있다.

또한, 다층구조(18)를 분리하기 위한 수단으로서, 높은 수압의 분사스트림 등을 사용하는 것도 좋다.

고압하에서, 물스트림이 노즐로부터 주입되는 소위 "물분사방법"은 다층구조(18)를 이온주입층(분리층(14))에서 분리하기 위해 사용되는 것이 당연하다.

물 이외에, 분리영역을 선택적으로 에칭하는 기능을 하고, 알칼리 등의 유기용제, 플루오르화산 또는 질화산 등의 산 또는 수소화칼륨 등의 알칼리를 예로드는 액체를 사용할 수도 있다. 또한, 공기, 질소가스, 탄소가스 또는 화가스 등의 가스가 유체로서 사용되는 것도 당연하다. 대안으로, 저온의 유체 또는 극저온의 액체가 사용되는 것도 당연하다.

또한, 분리영역에서 에칭기능을 가지는 전자빔, 또는 가스나 플라즈마를 사용할 수도 있다.

분리영역은, 이 분리영역으로 다층구조(18)의 측면위의 접착경계와 일치하여 물분사를 주입하거나 스프레이함으로써 그 측면으로부터 제거될 수 있다. 이 경우에, 무엇보다도, 물분사는 접착기판물체의 측면에 노출된 분리영역에 대해, 또한 제 1 및 제 2기판물체부재의 가까운 부분에 대해 직접 주입된다. 다음에, 유약한 분리영역만이, 2개의 기판물체부재가 떨어질 때까지, 각 기판물체부재에 손상을 줄지 없이 물분사에 의해 제거된다. 분리영역이 미리 노출되지 않고, 어떠한 이유로 얇은 층으로 덮여 있는 경우에도, 물분사는 분리영역을 덮는 층을 처음에 제거하고, 연속해서 노출된 분리영역을 제거하도록 주입된다. 또한, 접착웨이퍼는, 물분사가 접착기판물체의 주변측면위의 접착웨이퍼의 좁은 겹대로 주입되는 방법으로, 이 효과가 지금까지 종종 사용되지 않았으나, 구조적으로 유약한 분리영역을 갖고 파괴함으로써 분리될 수 있다. 이 경우에, 절단 또는 제거는 의도되지 않으므로, 분리영역의 절단파편은 거의 생성되지 않는다. 게다가, 분리영역의 재료가 물분사자체에 의해 제거될 수 없는 경우에도, 접착웨이퍼는 연마자체에 의해 제거될 수 없는 경우에도, 접착웨이퍼는 연마재료를 사용하지 없이 또한 분리면을 손상시키지 없이 분리될 수 있다. 이 방법에서, 이 효과는 절단 또는 연마효과와는 다른, 유체에 의거한 일종의 췌기효과로 고려될 수 있다. 따라서, 이 효과는, 오목한 좁은 겹이 접착기판물체의 측면위에 존재하고, 힘이 분리영역을 박리하는 방향으로 미치는 경우에, 물분사를 주입함으로써 크게 기대될 수 있다. 이 효과가 만족스럽게 실현되면, 접착기판물체의 측면의 형상은 볼록이 아닌 오목이 바람직하다.

그런데, 분사스트림에 의해 분리하는 경우에, 다층구조(18)의 온도는 -200°C 내지 450°C의 범위내에 포함되도록 설정된다. 바람직하게는, 실온 내지 350°C의 범위내에 설정된다.

이외에, 다층구조(18)의 분리를 위해, 분리층은 이하의 방법중 어느 하나에 의해 파괴될 수도 있다.

- 충분한 장력 또는 압력이 통상 접착웨이퍼에 또한 그 평면내에 균일하게 인가된다.
 - 초음파의 웨이브에너지가 인가된다.
 - 면도기의 날과 같은 기구(예를 들면, 테플론수지로 된 췌기)가 웨이퍼 단부면(접착웨이퍼의 주변부)에서 분리층내로 삽입된다.
 - 분리층이 웨이퍼단부면으로 노출하고, 다공질Si이 어떤 정도로 에칭되고, 면도기의 날과 같은 기구가 결과의 분리층내로 삽입된다.
 - 다공질층이 웨이퍼단부면에 노출되고, 다공질Si에 물 등의 액체가 스며들고, 그후 전체의 접착웨이퍼는 액체를 팽창하기 위해 가열되거나 또는 냉각된다.
 - 힘(전단력 또는 회전력)이 제 1 (또는 제 2)기판에 대해 제 2 (또는 제 1)기판에 수평적으로 인가된다.
- 또한, 다층구조(18)가 플루오르화산, 또는 적어도 알칼리 또는 과산화수소가 플루오르화산에 첨가된 혼합용액, 또는 완충플루오르화산, 또는 적어도 알칼리 또는 과산화수소가 완충 플루오르화산에 첨가된 혼합용액에 첨가되는 방법으로, 이온주입층(분리층(14))만이 비전해 습식화학적에칭에 의해 선택적으로 분리될 수 있다.

(제 2기판위의 잔류물의 제거)

다층구조(18)가 분리층(14)을 사용하여 분리되었을 때 분리층(14)이 SOI층(16)위에 남아있는 경우에, 잔

류를 제거하는 스텝이 바람직하다. 물론, 분리층(14)에서 분리가 S01층(16)과 분리층(14)과의 계면에서 발생하는 경우, 제거스텝이 불필요하다.

또한, 연마 또는 그라인딩, 특히 화학기계적 연마(CMP)를 행하여 잔류물을 제거하는 것이 좋다. 이 경우에 연마제로서 사용가능한 것은 붕소실리케이트유리, 티타늄디옥사이드, 티타늄트리옥사이드, 알루미늄옥사이드, 마이오프트라이드, 세륨옥사이드, 콜로이드알실리카, 실리콘트리옥사이드, 실리콘카르바이드, 흑연, 다이아몬드 등의 연마그리트, 또는 상기 그라인딩그리트가 H_2O_2 , KIO_4 등의 산화제 또는 $NaOH$, KOH 등의 알칼리용액에 혼합된 그라인딩그리트액체 중 어느 하나이다.

본 발명에서 분리층(14)의 제거는, 분리층(14)이 낮은 기계적강도와 매우 큰 표면적을 가지는 이유로, 연마스트퍼로서 단결정층에 의해 선택적으로 연마함으로써 실행될 수 있다.

또한, 분리층(14)의 잔류물은 에칭에 의해 제거하는 것도 좋다.

여기서, 플루오르화산 또는 질산시스템, 에틸렌디아민시스템, KOH시스템 또는 히드라진시스템이 에칭제로서 사용가능하다. 또한 사용가능한 것은, 플루오르화수소산, 또는 적어도 과산화수소 또는 알칼이 플루오르화산에 첨가된 혼합용액, 또는 완충플루오르화산, 또는 적어도 과산화수소 또는 알칼이 완충플루오르화산에 첨가된 혼합용액이 있다. 따라서, 플루오르화수소를 함유하는 용액이 사용될 수 있다.

분리층(14)의 잔류물이 많은 경우, 또는 다층구조(18)가 S01층(16)과 분리층(14)사이의 계면에서 대략 분리되는 경우에, S01층(16)의 표면은 분리후 수소어닐링을 행함으로써 평탄화될 수 있다.

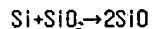
수소어닐링은 수소를 함유하는 환원성분위기에서 열처리에 의해 행해진다. 분위기는 수소가스, 또는 수소와 희가스(Ar 등)로 이루어진 혼합가스이어도 된다.

수소어닐링을 위한 온도는 $800^{\circ}C$ 와 $1350^{\circ}C$ 사이에 포함되어 있어야 하고, 더욱 바람직하게는 $850^{\circ}C$ 와 $1250^{\circ}C$ 사이에 포함되어야 한다.

수소어닐링을 위한 수소어닐링분위기의 압력은 대기압과 감압중 어느 하나이다. 대기압하에서, 또는 대기압($1 \times 10^5 Pa$)과 $1 \times 10^4 Pa$ 사이에 포함되는 압력하에서 수소어닐링을 행하는 것이 적합하다. 대기압보다 약 $100mmHg$ 만큼 낮은 다소 감압하에서 수소어닐링을 행하는 것이 더욱 적합하다.

분리층(14)의 잔류물이 수소어닐링에 의해 제거되는 경우에, 분리층(14)은 실리콘옥사이드에 대항하여 유지되는 것이 바람직하다.

더욱 상세하게는, 잔류물이 실리콘옥사이드에 대항하여 열처리될 때, 분리층을 구성하는 이 실리콘옥사이드와 실리콘은 이하의 분위기를 통하여 반응한다.



따라서, 미온주입잔류층을 효율적으로 제거하는 것이 가능하다. 게다가, 표면에너지를 낮게 하기 위해 S01층(16)의 표면이 평탄화되는 결과와 동시에 Si의 이동이 진행된다.

따라서, 단결정실리콘막은, 반도체기판재료의 표면위에 형성된 단결정실리콘막의 연마에 의해 발생하는 것과 같은 처리왜곡 등의 결정결함을 발생함이 없이, 단결정웨이퍼와 동일하게 평탄화된 표면을 가질 수 있고, 또한 제어하에서 감소된 두께를 가질 수 있다. 즉, S01기판 등의 표면평탄화, 불소농도의 감소 및 실리콘에칭은 각 웨이퍼에서 또한 웨이퍼와 웨이퍼사이에서 막두께의 균일성을 손상함이 없이 동시에 행해질 수 있다.

또한, 분리층(14)을 연마 또는 에칭에 의해 일부정도까지 또는 완전히 제거한 후 수소어닐링을 행하는 것도 좋다.

그런데, 분리층이 미온주입에 의해 영역(11)내에 형성되는 경우에, 영역(11)의 일부분은 상기 방법의 사용에 의해 남아있는 분리층(14)과 함께 제거된다.

(제 1기판위의 잔류물의 제거)

분리층(14)이 다층구조(18)의 분리후 얻어진 제 1기판의 일부분위에(예를 들면, 분리층(14)이 결함이 보다 적은 층(12)내에 형성된 경우에 영역(11)뿐만 아니라 결함이 보다 적은 층(17)위에) 남아있을 때, 임의의 불만족스러운 표면평탄성에 대한 표면평탄화처리로 이어지는, 연마, 그라인딩 또는 에칭 등의 선행의 방법에 의해 잔류물을 제거함으로써, 제 1기판은 새로운 제 1기판 또는 이어지는 제 2기판으로서 다시 재사용될 수 있다. 표면평탄화처리가 통상의 반도체공정에서 사용되는 연마 또는 에칭 등의 방법에 의해 행해지는 것이 당연하나, 또한 수소함유환원성분위기에서 열처리에 의해 행해질 수도 있다. 선택된 조건에 따르면, 열처리는 원자단차가 국부적으로 노출되는 정도까지 기판의 표면을 평탄화할 수 있다.

특히 분리층(14)이 결함이 보다 적은 층(12)내에 형성된 경우에, 결함이 보다 적은 층(17)은 분리후에도 영역(11)위에 있게 된다. 따라서, S01기판을 제조하는 공정의 연속하는 스텝은 결함이 보다 적은 층(17)내에 분리층(14)을 형성한 후 다시 행해질 수 있다.

S01기판이 접합 또는 접착법을 사용하여 제조되는 경우에, 단일의 S01기판은 2개의 웨이퍼로부터 제조된다. 여기서, 분리후 얻어진 제 1기판을 재사용함으로써 더욱 경제적으로 S01기판을 제조할 수 있다.

(분리후 어닐링)

본 발명에서는, 또한 지지기판(제 2기판(15))과 미위에 배치된 S01기판(16)사이의 접착 또는 접합강도를 높이기 위해, 다층구조(18)를 분리층(14)을 사용하여 분리한 후, 열처리(이후, "제 2열처리"로 칭함)를 행하는 것이 바람직하다.

제 2열처리의 온도는 앞서 설명한 제 1열처리(접착도중 또는 접착직후에 행해지는 보다 낮은 온도의 열처

리)보다 높게 설정한다. 구체적으로, 제 2열처리의 온도는 600℃와 1350℃ 사이에 포함되어 있어야 하고, 더욱 바람직하게는 800℃와 1200℃ 사이에 포함되어야 한다.

마이크로버블층(분리층(14))이 수소이온주입 등에 의해 벌크실리콘내에 형성된 후의 공정에서, 열처리에 의해 분리하는 경우를 제외하고는, 열처리를 행하지 않거나 또는 보다 낮은 온도에서 열처리를 행하는 것이 바람직하다. 그 이유는 약 500℃를 초과하는 온도에서 마이크로버블의 병합이 발생해서, 초기에 의도되지 않은 분리가 발생하기 때문이다. 따라서, 접촉강도가 접촉후 높아지는 경우에 보다 낮은 온도의 열처리(제 1열처리)를 500℃ 또는 그 이하에서 행하는 것이 바람직하다.

다층구조(18)가 임의의 소량의 방법에 의해 분리된 후, 제 1열처리보다 높은 온도(예를 들면, 약 900℃)의 제 2열처리는 SOI층(16)과 제 2기판(15)사이의 밀착강도를 증대시키기 위해 또한 결과의 SOI기판의 접착계면을 안정화시키기 위해 행해져야 한다.

이 방법에서, 적어도 800℃와 1350℃의 보다 높은 온도에서의 열처리(제 2열처리)가 500℃ 또는 그 이하의 보다 낮은 온도의 열처리(제 1열처리)후에 행해지면, 산소의 침전현상이 때때로 가속되어 산소의 침전 밀도에 따른 OF의 결함이 증가된다(Bairukan kabushiki-Kaisha에 의해 발행된 Takao Abe 저 "Silicon" p.194). 그러나, 본 발명에서, 결함이 보다 적은층(12)내의 산소의 농도는 충분히 낮으므로, 보다 낮은 온도의 열처리에 이어지는 보다 높은 온도의 열처리에 기인한 결함의 증가는 방지할 수 있다.

결국, 본 발명에 의하면, 수소함유분위기에서 열처리된 웨이퍼의 표면층은 미온주입층을 사용함으로써 분리되어 또다른 기판위로 이전된다. 웨이퍼의 주된 표면에 가까운 층의 벌크Si내의 고유의 결함(COP, 성장결함, 등)은 열처리에 의해 배제될 수 있으므로, 디바이스의 효율성은 증가될 수 있다.

예를 들면, COP의 크기에 관해서 충분한 마진을 가지고 제조되는 16M(megabyte) DRAM(Dynamic Random Access Memory)의 제조공정에서, COP의 존재는 상당히 문제가 되지는 않는다. 그러나, 16M DRAM이 64M DRAM으로 시프트되었을때, 디바이스의 소자는 COP의 크기와 거의 동일한 크기로 설계되므로, 디바이스의 효율성은 COP에 기인하여 눈에 띄게 낮아질 것이다. 본 발명은 SOI층(16)이 매우 작은 수의 COP를 함유하는 SOI기판을 형성할 수 있다는 점에서 매우 효과적이다.

수소함유분위기에서 열처리된 웨이퍼는 비용면에서 장점이 있고 대량생산에 양호한 것으로 간주되고, 예컨대 선택적으로 제공된 웨이퍼를 대체하도록 기대된다. 장래에 웨이퍼의 직경은 증가되어 고품질 결정의 불완전성이 더욱 어렵게 될 것이라고 말해진다. 또한, 벌크웨이퍼는 저하될 수도 있다. 이러한 이유로, 수소함유 분위기에서 열처리된 결함이 보다 적은 층을 포함하는 웨이퍼를 사용하여 SOI기판을 제조하는 데 매우 유용하다.

다음에, 수소어닐링을 포함하는 공정에 의해 분리층(14)을 제거하는 경우에, 수소어닐링에 기인한 효과는 열처리내에서 처리될 기판에 대항하는 재료에 따라, 또한 처리될 기판과 이것에 대항하는 기판 사이의 거리에 따라 다른 것에 대해 설명할 것이다.

처리될 기판의 표면(SOI층)은 때때로 수소어닐(수소함유 환원성분위기에서 열처리)에 의해 에칭되고, 에칭량은 SOI층의 표면에 대항하는 재료에 따라 다르다. 이 사실에 대해 이하 구체적으로 설명한다.

도 15에 도시된 바와 같은 열처리웨이퍼에 대한 수직형 배치노에서, 각각의 단결정 실리콘층(SOI층)의 에칭속도는 단결정실리콘층의 기판에 대항하는 표면(대항기판)의 재료에 따라 크게 변화한다. 도 15에서, 숫자(1)은 복수의 웨이퍼를 나타내고, 숫자(2)는 석영으로 된 코어판을, 숫자(3)은 히터를, 숫자(4)는 처리가스의 스트림을 나타낸다.

도 16은 대항하는 표면의 재료에 따른 에칭속도의 온도의존성을 도시하는 그래프이다. 도면에서, 하부의 가로좌표축은 일렉트론볼트(eV)의 역수의 단위로 온도의 역수 $1/T$ 를 나타낸다. 상부의 가로좌표축은 $1/T$ 에 대응하는 온도를 나타낸다. 세로좌표축은 에칭속도(nm/minute)의 대수플롯을 나타낸다.

SOI기판의 경우에, SOI층, 즉, 매립 절연층위의 단결정실리콘층의 두께는 시판의 광반사형의 막두께 측정기를 사용하여 비교적 용이하게 측정될 수 있다. 열처리시의 시간간격이 변화되는 동안, 각각의 열처리 전과 후 막두께의 변동(변화)은 측정되고, 에칭시간간에 대한 기울기가 발견된다.

도 16의 그래프에서, 데이터A는 에칭될 베이스재료(기판용 재료)SiO₂가 대항기판재료Si에 대항하여 유지되는 경우에 얻어진 각 온도에서의 에칭속도를 나타낸다. 이 경우에, 활성화에너지 E_a는 최소제곱법에 의거하여 플롯된 대략 직선의 기울기로부터 약 4.3eV인 것으로 측정되었다. 그런데, 각 도시된 데이터에 대한 괄호는 대항기판의 재료를 나타낸다.

또한, 데이터B는 열처리가 대항표면재료 SiO₂에 대항하여 유지된 베이스재료 Si에 의해 행해진 경우에 대응한다.

이외에, 데이터C는 대항표면재료 Si에 대항하여 유지된 베이스재료 Si에 의해 행해진 열처리에 대응한다. 이 경우에, 활성화에너지 E_a는 약 4.1eV이었다.

또한 데이터D는 대항표면재료 SiO₂에 대항하여 유지된 베이스재료 SiO₂에 의해 행해진 열처리에 대응한다. 이 경우에, 활성화에너지 E_a는 약 5.9eV이었다.

수소함유환원성분위기에서 열처리에 의해, 베이스재료로서 실리콘의 에칭속도는, 대항표면재료를 실리콘으로부터 실리콘옥사이드로 변화시킴으로써, 도 16에서 데이터 B와 C의 에칭속도간의 차이로 나타난 바와 같이 온도에 관계없이 약 9배 까지 증가됨이 밝혀졌다.

베이스재료와 대항표면재료가 모두 단결정실리콘인 경우에, 1200℃에서 약 0.045nm/min의 에칭속도는 상당히 낮다(도 16에서 데이터C). 60분동안 열처리에 의한 에칭량은 3nm만이다. 한편, 실리콘에 대한 대항표면의 재료가 실리콘옥사이드인 경우에, 에칭속도는 1200℃에서 약 0.36nm/min이고(도 16에서 데이터B), 1시간동안의 에칭량은 21.6nm에 도달했다. 이 에칭량은 접촉면마의 경우의 에칭량에 가깝다.

도 17은 베이스재로 Si에 대항표면재로 SiO₂에 대항하는 경우와 또한 베이스재로 SiO₂가 대항표면재로 Si에 대항하는 경우의 에칭량을 도시하는 그래프이다. 가로좌표축은 에칭의 시간(분단위)을 나타내는 반면, 세로좌표축은 에칭의 두께(nm단위)를 나타낸다. 백색점은 Si(대항표면재로)에 대항하는 SiO₂(베이스재로)를 열처리하는 경우에 대응하고, 흑색점은 SiO₂에 대항하는 Si를 열처리하는 경우이다. 열처리시의 온도 T는 1200°C이다.

도 17에 도시된 바와 같이, 동일한 시간간의 열처리를 행하여, 백색점으로 나타낸 바와 같이 Si에 대항하는 SiO₂를 열처리하는 경우가, 흑색점으로 나타낸 바와 같이 SiO₂에 대항하는 Si를 열처리하는 경우보다 에칭량이 더욱 크다. 즉, 서로 대항하는 SiO₂와 Si를 열처리하는 경우에, SiO₂가 더욱 많이 에칭된다(그 에칭두께가 더욱 크다).

도 18은 도 17의 결과로부터 계산된 Si원자, 즉, 대항표면재로 Si에 대항하여 유지된 베이스재로 SiO₂의 에칭시와 대항표면재로 SiO₂에 대항하여 유지된 베이스재로 Si의 에칭시에 Si표면과 SiO₂표면이 각각 에칭될 때 제거되는 Si원자의 수를 나타낸다. 가로좌표축은 에칭의 시간(분단위)을 나타내는 반면, 세로좌표축은 제거된 Si원자의 수(atoms/cm²)를 나타낸다. 도 18의 그래프에서, 백색의 원, 세로 및 네모는 SiO₂표면에 대응하는 반면, 흑색의 것은 Si표면에 대응한다.

도 17에 도시된 실리콘옥사이드표면과 단결정실리콘표면의 에칭량이 실리콘원자수의 단위로 측정되면, 일반적으로 도 18에 도시된 바와 같이 일치된 결과가 얻어졌다. 따라서, 서로 대항하는 Si표면과 SiO₂표면을 열처리하는 경우에, 두 표면은 동일한 양의 Si원자를 빼앗김을 나타낸다.

즉, 실리콘의 에칭은 이것과 대항실리콘옥사이드표면과의 상호반응에 의해 속도가 증가된다. 에칭반응식은 이하에 포괄적으로 주어지고, 실리콘과 실리콘옥사이드는 1:1로 반응한다.



이외에, Si의 상기 에칭속도는 대항표면으로부터 에칭될 표면의 거리에 영향받는다. 실리콘이 대항표면 재료로서 배치된 경우에, 에칭속도는 표면간의 거리가 가까워짐에 따라 더욱 제한되고, 대항표면재료로서 실리콘옥사이드가 배치되는 경우에, 에칭속도는 표면간의 거리가 가까워짐에 따라 더욱 증대된다.

한편, 수소로 대표되는 환원성가스가 열처리의 분위기에 포함되지 않는 경우에, 에칭속도는 수소함유분위기의 경우보다 눈에 띄게 낮았다. 즉, 수소로 대표되는 환원성가스의 존재는 수소어닐링에서 에칭속도를 증가시키는 한 요인으로서 기여한다. 실리콘과 실리콘옥사이드의 표면이 서로 대항하는 경우에, 두 표면은 표면중 어느하나의 재료가, 수소로 대표되는 환원성가스의 반응에 의해 다른 표면에 도달하여 이 표면과 반응하는 방법으로 에칭된다. 예를 들면, 반응식 $\text{Si} + \text{H}_2 \rightarrow \text{SiH}_4$ 와 $\text{SiH}_4 + \text{SiO}_2 \rightarrow 2\text{SiO} + \text{H}_2$ 이 있다. Si표면으로부터 해리된 Si원자는 실리콘옥사이드표면에서 SiO₂와 반응하여 가스상으로 미송됨으로써, SiO로 변환된 이것의 포화증기압은 높다. SiH₄가 때때로 소모되므로, Si표면에서의 에칭은 증진된다. 또한, Si의 표면이 서로 대항하는 경우에, 에칭속도는 이하의 이유로 상당히 높아지지는 않는다. Si표면으로부터 해리된 Si원자가 가스상으로 이것의 포화농도에 도달했을 때, 연속하는 반응속도는 가스상으로의 Si원자의 확산에 의해 결정된다. 그럼에도 불구하고, 해리된 Si원자의 포화농도는 높지 않다.

한편, 표면SiO₂가 표면Si에 대항하여 유지되는 경우에, Si표면으로부터 해리된 Si원자는 산화막표면에서 소모되므로, 또한 반응이 진행된다. SiO₂표면의 측면상에 생성된 SiO는 높은 증기압을 가지므로, 반응속도는 Si표면에 대항하는 경우보다 더욱 어렵게 결정된다.

또한, 단결정실리콘막에 대항하는 표면의 재료가 SiC(실리콘카바이드)인 경우에 단결정실리콘막의 에칭량은 대항하는 표면의 재료가 실리콘인 경우와 대략 동일했다. 이외에, 대항하는 표면의 재료가 실리콘 나이트라이드인 경우에, 단결정실리콘막의 에칭량은 대항하는 표면의 재료가 실리콘인 경우와 유사하게 제한되었다.

더욱 상세하게는, 대항하는 표면의 재료가 실리콘옥사이드인 경우에 단결정실리콘막의 에칭량은, 수소함유분위에서 행해지는 이 막의 열처리에 단결정실리콘막에 대항하는 대항표면이 실리콘, 또는 이것의 주성분으로서 실리콘과 탄소를 함유하지 않고 또한 이것의 주성분으로서 산소를 함유하지 않는 재료로 된 경우에 비해서, 약 10배이다.

또한, 대항표면으로부터 에칭될 반도체베이스재료의 거리는 반도체베이스재료로서 단결정실리콘막이 존재하는 표면의 크기에 따른다. 적어도 100mm의 직경을 가지는 반도체베이스재료에 관해서, 대항표면재료와의 상호반응에 의거하는 에칭속도를 증가시키는 효과는, 거리가 약 20mm 또는 그 이하, 더욱 바람직하게는 10mm 또는 그 이하이면 얻어진다.

또한, 수소함유환원성분위기에서 행해지는 열처리공정에서 반도체베이스재료의 주변표면에서 단결정실리콘의 에칭속도는, 분위기가스내에 함유된 물함유물 및 산소함유물 등의 산화불순물의 존재시 증가된다. 따라서, 산화불순물의 공급을 억제하기 위해, 주표면의 근처에서 분위기가스의 흐름속도는 낮아진다. 따라서, 불순물가스에 기인한 에칭성분은 감소되어, 대항표면과의 상호반응에 의거한 본 발명의 에칭제어력이 높아진다. 특히 절연체(52)를 통하여 반도체베이스재료(51)(웨이퍼(1))를 구성)의 주표면위에 형성된 단결정실리콘막(53)이 가스흐름(54)에 대해 법선방향으로 되도록 코어판(50)내에 배치되고, 또한 실리콘옥사이드로 된 대항표면(55)이 내부에 배치된 도 19에 도시된 경우에, 주표면상의 분위기가스의 흐름속도(56)는 대략 0으로 될 수 있고, 대항 실리콘옥사이드에 의거한 에칭효과는 충분히 나올 수 있다.

또한, 베이스재료로서 실리콘이 주성분으로서 탄소와 실리콘을 함유하고 주성분으로서 산소를 함유하지 않는, 즉 가스상에서 베이스재료실리콘과 반응하지 않는 재료나 실리콘상에 대항실리콘옥사이드막을 형성함으로써 에칭되는 경우에는, 에칭속도는 에칭에 의거한 두께감소에 의해 실리콘옥사이드막이 손실되어갈 때 약 1/10로 낮아진다. 그러므로, 산화실리콘막의 두께가 에칭에 의해 제거되도록 의도된 베이스재료

실리콘의 두께에 대응하는 Si원자의 량과 수치적으로 동일한 Si원자가 실리콘옥사이드막에 함유된 두께로 미리 설정되어 있으면, 배이스재료 Si의 제거량을 제어할 수 있다. 반도체공정에서 주로 채용되는 열산화에 의해 형성된 실리콘옥사이드막에 대해서는 대향실리콘옥사이드막의 두께는 제거되도록 의도된 실리콘막의 두께의 약 2.2배로 설정되어 있다.

거친표면을 평탄화하기 위해 대향표면의 영향을 평가하면 상당한 차이는 없었다.

도 20은 잔류불리층이 에칭으로 제거된 직후의 면을 표시하는 개략적인 측단면도이고, 이 층은 수소어닐링에 의해 평탄화되어 있다. 도 20에 표시된 거친표면이 환원성분위기에서 열처리되었으면, 도 21에 표시한 바와 같이 상용의 실리콘웨이퍼의 면과 동일하게 평탄화될 수 있었다. 도 20, 21에서 W3, W4는 SOI기판을 표시한다.

울통불통함이 수nm~수십nm의 높이 h와 수nm~수백nm의 주기 P에서 측정되는 단결정실리콘의 표면(도 20 참조)이 환원성분위기(수소어닐링)에서 열처리되면, 단결정실리콘웨이퍼의 표면과 같이 평탄한 표면(도 21 참조)이 수nm이나 그 이하의 레벨편차에서 바람직하게 더 적절한 조건에서 2nm이나 그 이하의 레벨편차에서 얻어진다는 것이 판명되었다.

또한, 수소어닐링에 의거한 에칭량이 SOI기판의 SOI층에 대해서는 대향표면재료를 적절하게 선택함으로써 제어될 수 있다고 판명되었다.

이런 현상은 에칭이외에 표면의 재구성으로 여겨진다. 더 구체적으로 거친표면에 있어서, 높은 표면에너지의 각진 부분은 무수하게 존재하고, 결정층의 표면배향성보다 고차원의 표면배향성의 표면이 다수화 외부면에 노출된다. 이들 영역의 표면에너지 준위는 단결정면의 배향에 따른 표면에너지 준위와 비교해서 더 높다. 수소를 함유하는 환원성분위기에서 행하는 열처리에 의해 표면의 자연산화막이 예를 들면 수소의 환원작용에 의해 제거된다. 한편, 열처리동안, 자연산화막은 환원작용의 결과로 생성되지 않는다. 그러므로 표면 Si원자의 이동에 대한 에너지배리어가 낮아지고, 열에너지에 의해 충분한 Si원자는 이동해서 낮은 표면에너지의 평탄면을 구성한다고 여겨진다. 단결정표면의 표면배향이 낮은 지수이므로, 본 발명에 따른 평탄화는 더욱 촉진된다.

상기 언급한 바와 같이, 실리콘의 에칭속도는 수소어닐링에서 처리되는 표면(SOI층)에 대해서는 재료로서 실리콘옥사이드를 사용해서 증가된다. 따라서 본 발명에 있어서, 이온주입에 의해 형성된 불리층이 분리스텝후에 SOI층의 표면에 잔류할 때조차도 SOI층의 표면의 잔류층은 수소어닐링에 의해서 효과적으로 제거될 수 있다.

수소를 함유하는 분위기에서는 거친표면이 질소분위기나 화가스분위기에서 평탄화될 수 없는 1200°C나 그 이하의 온도에서 만족스럽게 평탄화 될 수 있다. 본 발명에 따른 에칭동작과 평탄화의 온도는 약 300°C 내지 처리되는 재료의 용점이하, 바람직하게는 500°C나 그 이상, 더욱 바람직하게는 800°C나 그 이상, 특별하게는 1200°C나 그 이상에 놓여있다. 하지만 그들은, 처리가스의 조성, 압력 등에 따른다. 이외에도 평탄화가 느리게 진행되는 경우에는 열처리시간이 단축됨으로써 평탄면을 마찬가지로 얻을 수 있다. 대향표면의 구성재료의 영향에 대해서는, 가스의 압력이 낮아짐으로써 대향표면과의 반응에 의거한 에칭이 동일한 표면간격에도 불구하고 더욱 효과적으로 행해질 수 있다. 이것은 가스분자의 확산거리가 압력의 저하에 따라서 증가하기 때문이다.

대기중에 잔류하는 산소와 수분은 실리콘의 표면을 산화시키는 막으로서 표면의 평탄화를 방해하고 열처리의 온도가 상승한다. 그러므로, 이 성분을 저장할 필요가 있다. 열처리의 고온에서 산소와 수분은 산화와 에칭에 의해서 불에폭의 산화막두께의 감소를 일으킨다. 그러므로, 이들 성분도 마찬가지로 저장화할 필요가 있다. 이슬점에 대해서, 이들 성분은 -92°C나 그이하로 바람직하게 제어되어야 한다.

이런 현상은 처리표면이 청정상태에서 열처리된다는 이유때문에 처리개시된다. 그러므로, 자연산화막이 표면에 두껍게 형성되는 경우에는 희석불산의 에칭이나 사전의 열처리에 의해서 자연산화막이 제거된다. 따라서, 표면의 평탄화개시를 신속하게 한다.

이러한 방법에 의해 얻은 평탄한 단결정층은 반도체디바이스의 제조의 관점에서도 바람직하게 사용될 수 있다.

대향표면의 재료에 따른 상당한 차이는, H를 포함한 분위기에서 열처리에 기인한 Si층으로부터 붕소의 외부확산을 위해서 주지되지 않았다. 이것은 단결정실리콘에 포함된 붕소량이 실리콘에 대해서 약 1/100 보다 작기때문에 가스상으로 분사된 붕소량이 에칭에 의해 분사된 실리콘량보다 더 작고, 포화되지 않는 것을 나타낸다.

본 발명의 발명자중 한명인 요네하라(Yonehara)는, 일괄처리가능하고, 결정성과 막두께의 균일성이 우수한, 접착SOI기판을 제조하는 공정을 보고했다(요네하라등의, Appl. phys. Lett., Vol. 64, 2108(1994); 미국특허 제 5,371,037호).

이 공정의 예는 도 29 내지 도 31의 개략 단면흐름도에 도시되어 있다. 우선, Si기판(61)상의 다공질재료층(62)은 선택에칭의 재료로서 사용되었다. 비다공질단결정Si층은 다공질재료층(62)에 에피택셜성장되었다. 그후에, 결과의 Si기판(61)은, 산화Si층(65)을 개재해서 제 2기판(64)와 접착되었다(도 29참조). 이어서, 제 1기판(61)은 다공질Si가 접착기판구조체의 전체면에 걸쳐서 노출될 때까지 그리딩과 같은 방법에 의해서 후면으로부터 박막화되었다(도 30참조). 이어서, 노출된 다공질Si층(62)은, HF+H₂O₂의 혼합액이나 KOH와 같은 선택에칭액에 의해, 에칭되고 제거되었다(도 31참조). 따라서, SOI기판을 얻었다. 또한, 이 경우에, 수소어닐링은 SOI층(63)의 표면을 더욱 평탄화, 평활화하기 위해 에칭량의 제어 하에서 바람직하게 행할 수 있다.

이 경우에, 벌크Si(비다공질단결정Si)에 대한 다공질Si층(62)의 에칭선택비는 100,000배 정도 충분히 높게 설정될 수 있다. 그러므로, SOI기판은 이전에 다공질재료(62)상에 성장된 비다공질단결정Si층(63)이 이 층(63)의 두께를 상당히 감소시키지 않고서, 제 2기판(64)의 뒷쪽에 잔류하는 상태에서 형성될 수 있

다.

더욱이, 본 발명의 발명자중 한명인 사가구치(Sagaguchi)는 도 29에 표시된 다공질재료층(62)이 다른 영역과 비교해서 낮은 기계강도 등을 나타내기 때문에 접착기판구조체(도 29참조)는 다공질재료층(62)을 사용해서 분리할 수 있다는 사실을 개시하였다(일본국 특개평 7-302889).

(제 1실시예)

본 발명의 제 1실시예를 도 2 내지 도 6를 참조해서 설명한다.

도 2를 참조하면, 제 1의 Si단결정기판을 제조한다. 적어도 제 1기판(10)의 주표면측은 수소를 포함하는 환원성분위기에서 열처리됨으로써 기판(10)의 표면에 벌크에 기인한 결함이 감소되는 표면층부분(12)(결함이 보다 적은 층)을 형성한다. 비록 여기에서 영역(11)과 결함이 보다 적은 층(12)이 어떤 경계에서 갑자기 변화하도록 언급되어 있지만, 실제 상태에서는 점차 변화한다. 그후에 SiO_2 (13)는 활성층(이후 언급하는 S01층(16))으로부터 접착계면의 준위를 할당하기 위해 결과의 제 1기판의 표면층에 형성되어 있다.

다음에, 희가스, 수소, 질소중 적어도 하나의 원소의 이온은 절대층(13)을 가진 제 1기판(10)의 주표면으로부터 주입된다. 그러므로 분리층(14)(이온주입층적층)을 형성한다(도 3참조). 분리층(14)은 결함이 보다 적은 층(12)내에 형성된다. 이온은 결함이 보다 적은 층(12)에 주입되기 때문에, 분리층(14)의 위치는 균일하고 고정적으로 규정될 수 있다.

다음에, 도 4에 표시한 바와 같이, 결과의 제 1기판(10)이 실온에서 제 2기판(15)과 접착되고, 절연층(13)이 그 안쪽에 놓인다.

도 4는, 제 2기판(15)과 제 1기판(10)이 절연층(13)을 개재해서 서로 접착되어 있는 상태를 도시하지만, 제 2기판에 Si가 아닌 경우에는 절연층(13)을 생략할 수 있다.

다음 스텝에서, 접착된 기판구조체는 분리층(14)에서 분리되거나 나누어진다(도 5참조). 분리는 400~600°C의 온도에서 접착된 기판구조체를 열처리함으로써 행해진다.

분리후에 미소기공과 위치변동과 같은 결함이 제 2기판(15)에 잔류하는 분리층(14)에 포함되므로 잔류분리층(14)이 선택적으로 제거된다.

선택적인 제거는 소망의 에칭액을 사용해서 행해진다. 분리층(14)의 잔류부분이 약간인 경우, 수소어닐링에 의해서 제거될 수도 있다. 이와 달리, 이온주입층적층(14)은 연마스토퍼로서 S01층(16)을 사용하는 선택에칭에 의해서 제거될 수 있다. 이 제거는 선택연마뿐만 아니라 통상의 연마에 의해서도 행해질 수 있다.

그밖에 도 5에 접착된 기판구조체가 S01층(16)과 분리층(14)사이의 경계에서 분리되는 경우에 잔류분리층(14)을 제거하는 스텝을 생략할 수 있다.

도 6은 본 발명에 따라 얻은 반도체기판을 표시한다. 제 2기판(15)은 S01층과, 예를 들면 평탄화되고, 균일하게 박막화되고, 전체웨이퍼에 걸쳐서 넓은 영역에 형성된 단결정Si박막(16)과 중첩된다. 제 1기판과 제 2기판에 절연층(13)을 개재해서 함께 접착되면, 이렇게 얻어진 반도체기판은 전자디바이스의 절연성분을 생성하는 관점으로부터 적절하게 사용될 수 있다.

제 1의 Si단결정기판(11)은, 잔류이온주입층적층(14)을 제거한 후에 (제 1기판의 표면이 허용불가능한 정도로 거친 경우에는 표면을 평탄화한 후에) 새로운 제 1의 Si단결정기판(11)이나 다음의 제 2기판(15)으로 다시 사용될 수 있다. 제 1기판측의 이온주입층적층(14)은 상기 언급한 바와 같이 수소를 포함한 분위기에서 열처리와 같은 표면평탄화처리만을 거쳐서 재사용될 수 있다.

(제 2실시예)

본 발명의 제 2실시예는 도 7 내지 도 11을 참조해서 설명한다.

도 7을 참조하면, 제 1의 Si단결정기판(21)을 제조한다. 희가스, 수소, 질소중 적어도 하나의 이온을 제 1기판(21)의 주표면에 주입한다. 그러므로, 제 1기판내에 이온주입층적층(분리층)(24)을 형성한다. 표면층으로서 SiO_2 (23)의 사전의 형성은 제 1기판(21)의 표면이 이온주입에 의해 거칠어지는 것을 방지할 수 있다는 이유때문에 더 바람직하다. SiO_2 층(23)이 형성되어진 경우에는 제거된다. 그후에 기판(21)의 주표면의 적어도 측면은 수소를 포함한 환원성분위기에서 열처리됨으로써 벌크에 기인하는 결함이 감소하는 층(결함이 보다 적은 층(22))을 기판(21)의 표면에 형성한다(도 8참조). 본 실시예에 있어서, 수소어닐링은 500°C나 그 이하의 저온에서 또한 수초~수십초의 단시간동안에 바람직하게 행해질 수 있다. 여기서, MOSFET과 같은 소자구조체는 결함이 보다 적은 층(22)에 형성될 수 있다. 또한, 결함이 보다 적은 층(22)의 표면층과 같은 SiO_2 (25)의 사전의 형성은 접착계면의 준위가 활성층(22)으로부터 공간이 형성될 수 있다는 의미에서 더 바람직하다.

양쪽 기판의 접착강도가 충분하지 않는 경우에 접착기판구조체는 약 400°C에서 열처리되거나 가압된다.

다음에, 접착기판구조체는 분리층(24)에서 분리되거나 나누어진다(도 10참조). 이러한 분리는 접착기판구조체의 측면에 대항해서 유체를, 예를 들면, 물과 같은 액체나 질산가스와 같은 가스를 분사하는 방법에 의해서 행해진다. 물론, 분리는 이 방법에 한정되지 않으며 배기를 작용하거나 인장력을 부여함으로써 행해질 수 있다.

미소기공과 위치변동과 같은 결함이 제 2기판(26)상에 잔류하는 분리층(24)에 종종 포함되기 때문에, 잔류분리층(24)은 선택적으로 제거된다.

잔류분리층(24)의 선택적인 제거는 에칭액으로 행해지거나 S01층(22)이 연마스토퍼로서 사용되는 선택연마에 의해서 행해진다. 분리층(24)의 잔류부분이 매우 얇고, 약간인 경우에는 수소어닐링에 의해서도

제거될 수 있다. 이 경우에, 수소어닐링에 의거한 에칭속도를 증가시키기 위해 그 표면에 실리콘산화물(SiO_2)을 가진 기판은 대항재료로서 잔류분리층(24)에 바람직하게 대항된다.

또한, 에칭액으로 제거하는 방법, 연마에 의거한 제거방법, 수소어닐링에 의거한 제거방법 등의 2개나 3개를 적절하게 조합하는 것도 허용된다.

도 11은 본 발명에 따라 얻은 반도체기판을 표시한다. 제 2기판은 평탄화되고, 균일하게 박막화되고, 전체웨이퍼에 걸쳐서 넓은 영역에 형성된 단결정Si박막(22)과 총집되어 있다. 제 1 및 제 2기판이 절연층(25)을 개재해서 함께 접착되어 있으면, 이렇게 얻은 반도체기판은 전자디바이스의 절연소자를 생산하는 관점에서 적절하게 사용될 수 있다.

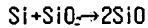
본 실시예에 있어서, 결합이 보다 적은 층(22)은 분리층(24)의 형성후에 형성된다. 그러므로 분리층(24)을 형성하는 이온주입에 기인한 결함을 제거한 S01층(22)을 얻을 수 있다.

한편, 분리층(24)에서의 접착기판구조체의 분리가 S01층(22)과 분리층(24)사이의 계면에서 행해지는 경우에 잔류분리층을 제거하는 스텝을 생략하거나, S01층(22)의 표면은 수소어닐링에 의해서 어느정도 에칭된다.

제 1의 Si단결정기판(21)은 잔류분리층(24)을 제거한 후에(제 1기판(21)의 표면이 허용불가능할 정도로 거친 경우 표면을 평탄화한 후에) 새로운 제 1단결정기판(21)이나 다음에 제 2기판(26)으로 다시 사용될 수 있다. 물론, 분리층(24)에서의 분리가 제 2기판(26)과 분리층(24)사이의 계면에서 행해지면, 잔류분리층(24)을 제거하는 스텝을 생략할 수 있다.

제 1기판쪽의 분리층(24)은 상기 설명한 바와 같이 수소를 포함한 분위기에서 열처리와 같은 표면평탄화 처리만을 거쳐서 재사용될 수 있다.

수소를 포함한 환원성분위기에서 행하는 열처리에 있어서, S01층(22)을 가진 제 2기판(26)의 분리층(24)의 잔류층이 실리콘산화물의 반대쪽에 유지되면, 분리층(24)의 구성실리콘과 대항실리콘산화물은 이 분위기에서 반응한다.



그러므로, 잔류분리층(24)을 효과적으로 제거할 수 있다. 동시에, Si의 이동이 진행되어 S01층(22)의 표면에너지가 저하시켜서 그 결과로 이 층(22)의 표면이 평탄화된다.

(제 3실시예)

본 발명의 제 3실시예는 도 12 내지 도 14를 참조해서 설명한다.

도 12에 표시한 바와 같이 상기 언급한 제 1 또는 제 2실시예의 스텝은 2개의 제 2기판을 채용함으로써 제 1기판의 양쪽면에서 행해진다. 이로 인하여 2개의 반도체기판(S01기판)을 동시에 제조하려고 하는 것이다.

도 12에서, (31)은 제 1기판이고, (32)와 (35)는 이온주입층(분리층)이고 (33), (36)은 결합이 보다 적은 층이고, (34), (37)은 SiO_2 층이고, (38), (39)는 제 2기판이다. 도 12는 제 1기판(31)의 양면이 제 1실시예에서 언급한 스텝을 행한 후에 제 2기판(38), (39)가 결과의 제 1기판(31)의 표면에 각각 접착된 상태를 표시하는 단면도이다. 도 13은 접착기판구조체가 제 1실시예와 마찬가지로 분리층(32), (35)에서 분리되거나 나누어진 상태를 표시하는 단면도이고, 도 14는 분리층(32), (35)이 제거된 상태를 표시하는 단면도이다. 물론, 접착기판구조체가 분리층(32)과 결합이 보다 적은 층(33)사이와, 분리층(35)과 결합이 보다 적은 층(36)사이의 계면에서 분리되면 잔류분리층의 제거를 생략할 수 있다.

제 1의 Si단결정기판(31)은 잔류이온주입층(32), (35)을 제거한 후에(제 1기판(31)의 표면이 허용불가능할 정도로 거친 경우에는 표면을 평탄화한 후에) 새로운 제 1의 Si단결정기판(31)이나 제 2기판(38) (또는 (39))으로 다시 사용될 수 있다.

제 1기판쪽의 이온주입층(32), (35)은 이전에 설명한 바와 같이 수소를 포함한 분위기에서 열처리와 같은 표면평탄화처리만을 거쳐서도 재사용될 수 있다.

지지기판(38), (39)는 동일한 기판일 필요는 없다. 이외에도 절연층(34), (37)을 생략할 수 있다.

이제 도면을 참조해서 본 발명의 예를 구체적으로 설명한다.

(예 1)

CZ법에 의해서 제조된 2개의 제 1단결정Si기판(직경 8인치)을 준비하였다. 각각의 제 1기판을 수소어닐링을 행해서 표면층의 품질을 향상시키고 즉, 표면에 결합이 보다 적은 층을 형성하였다. 수소어닐링은 H_2 가스의 분위기에서 1200° 의 온도로 1시간동안 행하였다.

상기 언급한 2개의 CZ실리콘중 하나의 SC-1세척액 (1.0wt%의 NH_4OH 와 6.0wt%의 H_2O_2 와 물의 혼합액)으로 세척된 후에, 세척된 웨이퍼의 표면에 포함된 다수의 COP가 이물검사장치에 의해서 검출되었다. 다음에 COP의 수는 단위웨이퍼당 8개이었다. 즉, COP의 밀도는 약 $0.02/\text{cm}^2$ 이었다. 여기서 크기가 대략 $0.1\mu\text{m}$ 이상인 입자가 COP로서 검출되었다.

부가하면, 단위웨이퍼당 COP의 갯수 X는 이하 "X/㎡"로서 표시되었다.

제 1기판(다른 CZ실리콘웨이퍼)의 표면은 열산화에 의해 200nm 의 SiO_2 층으로 형성되었다. 또한, H^+ 이온은, 40KeV 의 가속에너지와 $5 \times 10^{15} \text{cm}^{-2}$ 의 용량의 조건하에서 표면 SiO_2 층을 개재해서 제 1기판에 주입되었다. 이온주입의 투입영역은 결합이 보다 적은 층내에 놓이도록 조절하였다. 따라서 제 1기판

은 분리층에 단결정실리콘층(SOI층이나 결합이 보다 적은 층)을 가지게 된다.

SiO₂층쪽의 결과의 제 1기판의 표면은 별도로 준비한 Si기판(제 2기판)의 표면과 접촉해서 그위에 위치하게 되었다. 접촉된 기판구조체가 600℃로 열처리되면, 이온주입의 투입영역에 인접한 2개의 부분으로 분리되거나 나누어졌다. 이온주입층(분리층)이 다공질이기 때문에, 분리된 부분의 표면은 거칠게 된다. 결과의 제 2기판에 잔류하는 분리층은 제 2기판쪽의 표면이 49%의 플루오르화수소산, 30%의 과산화수소와 물의 혼합액을 교반하면서 선택적으로 에칭되는 방식으로 제거되었다. SOI층의 단결정 Si는 에칭되지 않고 잔류하고, 이온주입층은 선택적으로 에칭되어 에칭정지제로서 단결정Si로 완전히 제거되었다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, Si단결정의 에칭량(수십Å의 단위)은 실용상 무시할 수 있는 두께감소에 상당한다.

선택에칭이외에 접촉연마, CMP와 같은 연마나 비선택에칭을 이온주입층을 제거하기 위해 채용할 수 있다. 이것은 다른예에서도 동일하다. 연마의 경우에 SOI기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 하지만, 연마손상이 잔류하는 경우에 열처리를 행하거나 SOI기판의 표면층을 제거하는 것에 더 바람직하다.

명확하게, 0.2μm의 두께를 가진 단결정Si층은 Si산화막에 형성될 수 있다. 형성된 단결정Si층의 두께는 SOI기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 층두께의 균일성은, 201nm ± 6nm이었다. 이런 방법으로 제조된 SOI기판은 SOI층의 두께의 균일성에서 매우 우수하였다. SOI층의 표면에 포함된 COP결합의 수는 65/μm²이었다. 통상 C2웨이퍼의 표면에 포함된 COP의 수가 약 400/μm²이므로, 극히 작은 결합을 가진 SOI층을 본 발명에 따라서 얻은 것으로 이해된다.

더욱이, SOI기판은, 1시간동안 수소에서 1100℃로 열처리되었다. 결과의 SOI기판의 표면조도를 원자간력현미경으로 측정하면, 50μm²의 영역의 제곱평균(Rrms)은 약 0.2nm이었고, 통상 상용의 Si웨이퍼와 동등하였다. SOI층의 표면에 포함된 COP의 수는 8/μm²이었다.

부가적으로, 분리시스템후에 SOI층에 수소어닐링이 행해지면, SOI층의 최외곽면내의 COP의 수는 더욱 감소될 수 있고, SOI층내의 결합의 분포가 균일해질 수 있다. 이들 효과는 도 23과 연관해서 명확하게 설명될 수 있다.

도 23은 C2실리콘웨이퍼를 수소어닐링함으로써, 얻은 웨이퍼와 C2실리콘웨이퍼(직경 8인치)의 각각에 대해서, 단위웨이퍼당 COP의 수와 웨이퍼표면으로부터의 깊이 사이의 관계를 표시하는 그래프이다("Nikkei Microdevice", Feb. issue (1998), P31). 수소어닐링을 행한 C2실리콘웨이퍼에 있어서, COP의 수는 웨이퍼표면 근처에서 최소이고, 수소어닐링의 조건에 따라서 상태가 다르지만, 그래프에서 보면 웨이퍼표면으로부터 깊이가 더 커진다.

예에 따르면, SOI기판은 이온의 투입영역(분리층)이 수소어닐링을 행한 C2실리콘웨이퍼의 표면으로부터 400nm가까이 설정되고, 결과의 웨이퍼는 제 2기판과 접촉되고, 그후에 접촉된 기판은 분리층에서 분리되는 방식으로 형성되어 있다. 이 경우에, COP의 수는 SOI층의 최외곽면에서 최대가 되고, SOI층과 절연층사이의 계면이 근접함에 따라 작아진다. 따라서, SOI층의 표면 근처의 COP의 수를 더 감소할 필요가 있는 경우에는 분리시스템후에도 수소어닐링을 행하는 것이 바람직하다. 이 경우에, SOI층의 양면은 수소어닐링에 의해서 결합이 작게 된다.

한편, SOI층의 표면에 포함된 COP의 수(밀도)의 검출을 용이하게 하기 위해, SOI층은, 10분동안 SC-1액(1.0wt%의 NH₄OH, 6.0wt%의 H₂O₂와 물로 이루어진 혼합액)으로 처리되었다. 이외에 표면입자 검사기구(예를 들면 KLA 텐코사 (KLA Tencor Inc.)의 "SP-1")를 사용해서 검출을 행했다.

그대로 남겨진 분리 SOI기판이 이온주입층을 제거하지 않고서 수소에서 열처리되면, 미소기공과 결합의 제거와 SOI층의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

Si층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결합이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다. 또한, 제 1기판쪽에 잔류한 이온주입층은 49%농도의 플루오르화수소산, 30%농도의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그후에, 제 1기판은 수소어닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도, 미소기공과 결합의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

추가적으로, 이온주입영역도 제거효과를 나타낸다. 금속불순물이 존재하여도, 불순물이 이온주입영역에 의해 제거된 후에, 2개의 접촉된 기판을 분리하고, 그후에 결과의 이온주입영역을 제거할 수 있다. 그러므로, 본 발명에 따른 SOI기판도 불순물에 의한 오염의 경우에 효과적이다.

(예 2)

C2법에 의해 제조된 2개의 제 1단결정Si기판(직경 8인치)을 준비하였다. 제 1기판의 각각은 아래의 조건하에서 열처리되어서 표면층의 품질을 향상시켰다. 2개의 제 1기판중 하나를, 분석을 위해 사용하였다.

열처리(수소어닐링)는 H₂의 분위기, 1200℃의 온도, 2시간동안의 조건하에서 행해져서 결합이 보다 적은 층을 각 제 1기판의 표면에 형성하였다. 분석용의 제 1기판의 표면층에 포함된 COP의 수를 미물검사장치로 검사하면, 약 5/μm²이었다.

더욱이, H⁺이온은 50KeV의 가속전압과 6×10¹⁶cm⁻²의 용량의 조건하에서 제 1기판에 주입되었다. 이온주

입층의 투입영역은 기판의 표면으로부터 측정된 약 600nm의 근처에 놓여졌다.

결과의 제 1기판의 표면은 500nm의 SiO₂층으로 형성되고 별도로 준비한 Si기판(제 2기판)의 표면에 위치해서 접촉되었다. 접촉된 기판구조체가 550°C에서 어닐링되면, 이온주입의 투입영역 근처에서 2개의 부분으로 분리되거나 나누어진다. 이온주입층이 다공질이므로 분리된 부분의 표면은 거칠거칠하였다. 제 2기판쪽의 표면은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭하였다. Si층의 단결정Si는 에칭되지 않고서 잔류하였고, 이온주입층은 선택적으로 에칭되고 에칭정지제로서 단결정Si로 완전히 제거되었다.

선택에칭, 이외에도, 비선택에칭이나 연마는 이온주입층을 제거하기 위해 채용될 수 있다. 연마의 경우에, Si기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 그러나, 연마손상이 잔류하는 경우에, 열처리를 행하거나 Si기판의 표면 층을 제거하는 것이 바람직하다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, Si단결정의 에칭량(수십 Å의 단위)은 실용상 무시할 수 있는 두께감소에 상당한다.

그후에, 비다공질Si단결정의 극단면은 연마에 의해 평탄화되었다.

명확하게, 0.5μm의 두께를 가진 단결정Si층(Si층)은 Si옥사이드막에 형성될 수 있었다. 형성된 단결정Si층의 두께는 Si기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 층두께의 균일성은 498±15nm이었다. Si층의 표면에 포함된 COP의 수는 50/μm²도 이었다. 이러한 방식으로, Si층의 외부면에서 COP의 수는 50/μm²이었다. 이외에 Si옥사이드막쪽의 Si층내의 COP의 수는 5/μm²이었다. 따라서 COP의 밀도는 Si층의 외부면에서부터 내부쪽을 향해서 낮아진다는 것을 알 수 있다. 통상 CZ웨이퍼의 표면에 포함된 COP의 수는 400/μm²이므로, Si층은 본 발명에 따라서 결함이 감소된다고 이해된다.

결과의 Si기판의 표면조도를 원자력간현미경으로 관찰하면, 50μm²의 영역에서 제곱평균(Rrms)은 약 0.2nm 이었고, 통상 상용의 Si웨이퍼와 동등하였다.

Si층의 단면을 투과전자현미경으로 관찰하였다. 결과적으로 Si층내에 새로운 결정결함이 도입되지 않았고 Si층내에 우수한 결정성이 유지되는 것을 확인하였다.

한편, 본 예에서 얻은 Si기판은 수소어닐링을 더 행하면, Si층의 표면에 포함된 COP의 수는 더 감소되어 Si옥사이드막 근처에 Si층의 내부에 포함된 COP의 수(5/μm²)에 근접하게 된다.

이러한 방식으로, Si옥사이드막상의 Si층인 단결정실리콘층의 양면이 수소어닐링을 행함으로써 Si층에 포함된 바와 같이 벌크웨이퍼에 내재하는 COP등의 결함은 감소될 수 있다. 결함이 아직 더 잔류하더라도, 그 분포는 Si층 내에서 대략 균일하게 될 수 있다. 또한, 제 1기판쪽에 잔류한 이온주입층은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭되었다. 그후에, 제 1기판은 수소어닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도 미소기공과 결함의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

(예 3)

CZ법에 의해 제조된 제 1단결정Si기판(직경 8인치)을 준비하였다. 제 1기판은 열처리되어 표면층의 품질을 향상시켰다. 열처리로서 수소어닐링은 H₂가스의 분위기, 1200°C의 온도, 4시간동안의 조건하에서 행하였다.

더욱이, 기판의 표면은 열산화에 의해 200nm의 SiO₂층으로 형성되었다. 이외에 H⁺이온은 40KeV의 가속전압과 5×10¹⁵cm⁻²의 용량의 조건하에서 표면 SiO₂층을 개재해서 기판에 주입되었다.

결과의 제 1기판의 표면은 실온에서 Si기판(제 2기판)의 표면에 위치해서 접촉되었고, 제 2기판은 별도로 준비된 500nm의 SiO₂층으로 형성되었다. 다음에 접촉된 기판구조체는 제 1 및 제 2기판의 접촉력을 강화하기 위해 300°C에서 어닐링되었다. 그후에, 접촉된 기판구조체는 이 접촉된 기판구조체의 바깥쪽표면에 대항하여 높은 수압(약 200kg·f/cm²)의 물분사를 분사함으로써 분리층(상기 언급한 이온주입에 의해 형성된 이온주입층)에서 분리되거나 나누어졌다. 여기서 접촉된 기판구조체는 이온주입의 투입영역 근처에서 2개의 부분으로 분리된다. 이온주입층이 다공질이므로 분리된 부분의 표면은 거칠거칠하였다. 제 2기판쪽의 표면은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭하였다. Si층의 단결정Si는 에칭되지 않고서 잔류하였고, 이온주입층은 선택적으로 에칭되고 에칭정지제로서 다결정Si로 완전히 제거되었다.

선택에칭 이외에도, 비선택에칭이나 연마는 이온주입층을 제거하기 위해, 채용될 수 있다. 연마의 경우에, Si기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 그러나, 연마손상이 잔류하는 경우에, 열처리를 행하거나 Si기판의 표면층을 제거하는 것이 바람직하다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, Si단결정의 에칭량(수십 Å의 단위)은, 실용상 무시할 수 있는 두께감소에 상당한다.

명백하게, 0.2μm의 두께를 가진 단결정Si층은 Si산화막에 형성될 수 있다. 형성된 단결정Si층의 두께는 Si기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 층두께의 균일성은 201±6nm이었다. 또한, Si기판을 수소에서 1100°C로 1시간동안 열처리를 행했다. 결과의 Si기판의 표면조도를 원자력간현미경으로 측정하면, 50μm²의 영역에서 제곱평균(Rrms)은 약 0.2nm이었고, 통상 상용의 Si웨이퍼와 동

등하였다. SiO₂층상의 단결정실리콘층의 표면을 SC-1 세척액으로 세척한 후에, 세척된 표면에 포함된 COP의 수를 미물검시장치로 측정하였다. 그러면, COP의 수는 3/W이었다.

부가적으로, 그대로 남겨진 분리 Si기판이 이온주입층을 제거하지 않고서 수소에서 열처리되면, 미소기공과 결합의 제거와 Si층의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

Si층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결합이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다. 또한, 제 1기판쪽에 잔류할 이온주입층은 49%농도의 플루오르화수소산, 30%농도의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그 후에, 제 1기판은 수소어닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도 미소기공과 결합의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

비록, 본 예에서, 절착된 기판구조체를 물분사로 분리했지만, 고압하에서, 질소가스와 같은 가스를 분사함으로써 다르게 분리시킬 수 있다.

(예 4)

2법에 의해 제조된 2개의 제 1단결정Si기판(직경 8인치)을 준비하였다. 제 1기판은 열처리되어 표면층의 품질을 향상시켰다. 열처리로서 수소어닐링은 H₂가스의 분위기, 1100°C의 온도, 4시간동안의 조건하에서 행하였다.

더욱이, 기판의 표면은 열산화에 의해 200nm의 SiO₂층으로 형성되었다. 이외에 H⁺이온은 40KeV의 가속전압과 $5 \times 10^{15} \text{ cm}^{-2}$ 의 용량의 조건하에서 표면 SiO₂층을 개재해서 기판에 주입되었다.

제 1기판의 SiO₂층의 표면과 별도로 준비한 용융석영기판(제 2기판)의 표면은 플라즈마로 처리되고 물로 세정되었다. 그후에, 제 1 및 제 2기판은 서로 위치되어 접촉되었다. 접촉된 기판구조체가 600°C에서 어닐링되면 이온분리의 투입영역 근처에서 2개의 부분으로 분리되거나 나누어졌다. 이온주입층이 다공질이므로 분리된 부분의 표면은 거칠거칠하였다. 제 2기판쪽의 표면은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭하였다. SiO₂층의 단결정Si는 에칭되지 않고서 잔류하였고, 이온주입층은 선택적으로 에칭되고 에칭정지제로서 단결정Si로 완전히 제거되었다.

선택에칭 이외에도, 비선택에칭이나 연마는 이온주입층을 제거하기 위해 채용될 수 있다. 연마의 경우, Si기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 하지만, 연마손상이 잔류하는 경우에, 열처리를 행하거나 Si기판의 표면층을 제거하는 것이 바람직하다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, Si단결정의 에칭량(수십 Å의 단위)은, 실용상 무시할 수 있는 두께감소에 상당한다.

명확하게, 0.2μm의 두께를 가진 단결정Si층은 투명석영기판상에 형성될 수 있었다. 형성된, 단결정Si층의 두께는, Si기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 총두께의 균일성은 201nm ± 6nm이었다. 단결정Si층의 표면에 포함된 COP의 수를 측정하면, 약 80/W이었다. 또한, Si기판을 1100°C에서 1시간동안 열처리를 행했다. 결과의 Si기판의 표면조도를 원자간력현미경으로 측정하면, 50μm의 영역에서 제곱평균(Rrms)은 약 0.2nm이었고, 통상 상용의 Si웨이퍼와 동등하였다.

부가적으로, 그대로 남겨진 분리 Si기판이 이온주입층을 제거하지 않고서 수소에서 열처리되면, 미소기공과 결합의 제거와 Si층의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

Si층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결합이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다. 또한, 제 1기판쪽에 잔류할 이온주입층은 49%농도의 플루오르화수소산, 30%농도의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그 후에, 제 1기판은 수소어닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도 미소기공과 결합의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

(예 5)

2법에 의해 제조된 2개의 제 1단결정Si기판(직경 8인치)을 준비하였다. 각각의 제 1기판은, 열처리되어, 표면층의 품질을 향상시켰다. 좀더 구체적으로, 열처리는 4%의 H₂가스와 96%의 Ar가스로 이루어진 혼합분위기, 1100°C의 온도, 4시간동안의 조건하에서 행했다. 따라서 제 1기판의 표면에 결합이 보다 적은 층을 형성하였다.

2개의 제 1기판의 하나의 표면층에 포함된 COP의 개수가 측정되면 30/W이었다.

더욱이, 기판의 표면은 열산화에 의해 200nm의 SiO₂층으로 형성되었다. 이외에 H⁺이온은 60KeV의 가속전압과 $5 \times 10^{15} \text{ cm}^{-2}$ 의 용량의 조건하에서 표면 SiO₂층을 개재해서 기판에 주입되었다.

제 1기판의 SiO₂층의 표면과 별도로 준비할 사파이어기판(제 2기판)의 표면은 플라즈마로 처리되고 물로 세정되었다. 그후에, 제 1 및 제 2기판은 서로 위치되어 접촉되었다. 접촉된 기판구조체가 600°C에서 어닐링되면 이온분리의 투입영역 근처에서 2개의 부분으로 분리되거나 나누어졌다. 이온주입층이 다공질이므로 분리된 부분의 표면은 거칠거칠하였다. 제 2기판쪽의 표면은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭하였다. Si₃N₄층의 단결정Si는 에칭되지 않고서 잔류하였고, 이온주입층은 선택적으로 에칭되고 에칭정지제로서 다결정Si로 완전히 제거되었다.

선택에칭 이외에도, 비선택에칭이나 연마는 이온주입층을 제거하기 위해 채용될 수 있다. 연마의 경우에, Si₃N₄기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 그러나, 연마손상이 잔류하는 경우에, 열처리를 행하거나 Si₃N₄기판의 표면층을 제거하는 것이 바람직하다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, Si단결정의 에칭량(수십 Å의 단위)은, 실용상 무시할 수 있는 두께감소에 상당한다.

그후에, 비다공질Si단결정의 최단면만이 연마에 의해서 평탄화되었다.

명확하게, 0.4μm의 두께를 가진 단결정Si층은 투명사파이어기판상에 형성될 수 있다. 형성된 단결정Si층의 두께는 Si₃N₄기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 층두께의 균일성은 402nm ± 12nm이었다. 단결정Si층의 표면에 포함된 COP의 수를 측정하면, 약 120/μm²이었다. 결과의 Si₃N₄기판의 표면조도를 원자간력현미경으로 측정하면, 50μm²의 영역에서 제곱평균(Rrms)은 약 0.2nm이었고, 통상 상용의 Si웨이퍼와 동등하였다.

Si₃N₄층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결함이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다. 또한, 제 1기판쪽에 잔류한 이온주입층은 49%농도의 플루오르화수소산, 30%농도의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그후에, 제 1기판은 수소어닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도 미소기공과 결함의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

(예 6)

CZ법에 의해 제조된 제 1단결정Si기판(직경 8인치)을 준비하였다. 각 제 1기판은 열처리되어 표면층의 품질을 향상시켰다. 좀더 구체적으로 열처리로서 수소어닐링은 H₂가스의 분위기, 1150°C의 온도, 10분동안의 조건하에서 행하였다.

더욱이, 기판의 각 표면은 열산화에 의해 200nm의 SiO₂층으로 형성되었다. 이외에 H⁺이온은 70KeV의 가속전압과 5 × 10¹⁶ cm⁻²의 용량의 조건하에서 표면 SiO₂층을 개재해서 기판에 주입되었다.

제 1기판의 SiO₂층의 표면과 별도로 준비한 글라스기판(제 2기판)의 표면은 플라즈마로 처리되고 물로 세정되었다. 그후에, 제 1 및 제 2기판은 서로 위치되어 접촉되었다. 접촉된 기판구조체가 600°C에서 어닐링되면 이온분리의 투입영역 근처에서 2개의 부분으로 분리되거나 나누어졌다. 이온주입층이 다공질이므로 분리된 부분의 표면은 거칠거칠하였다. 제 2기판쪽의 표면은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭하였다. Si₃N₄층의 단결정Si는 에칭되지 않고서 잔류하였고, 이온주입층은 선택적으로 에칭되고 에칭정지제로서 다결정Si로 완전히 제거되었다.

선택에칭 이외에도, 비선택에칭이나 연마는 이온주입층을 제거하기 위해 채용될 수 있다. 연마의 경우에, Si₃N₄기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 하지만, 연마손상이 잔류하는 경우에, 열처리를 행하거나 Si₃N₄기판의 표면층을 제거하는 것이 바람직하다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, Si단결정의 에칭량(수십 Å의 단위)은, 실용상 무시할 수 있는 두께감소에 상당한다.

그후에 비다공질Si단결정층의 최단면만이 연마에 의해 평탄화되었다.

명확하게, 0.5μm의 두께를 가진 단결정Si층은 투명글라스기판상에 형성될 수 있었다. 형성된 단결정Si층의 두께는 Si₃N₄기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 층두께의 균일성은 501nm ± 15nm이었다. 단결정Si층의 표면에 포함된 COP의 수를 측정하면, 약 100/μm²이었다. 통상의 CZ웨이퍼의 표면에 포함된 COP의 개수는 400/μm²정도이므로 Si₃N₄층은 본 발명에 따라서 결함이 작도록 만들어진다고 이해된다.

결과의 Si₃N₄기판의 표면조도를 원자간력현미경으로 측정하면, 50μm²의 영역에서 제곱평균(Rrms)은 약 0.2nm이었고, 통상 상용의 Si웨이퍼와 동등하였다.

Si₃N₄층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결함이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다. 또한, 제 1기판쪽에 잔류한 이온주입층은 49%농도의 플루오르화수소산, 30%농도의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그후에, 제 1기판은 수소어닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도 미소기공

과 결합의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

(예 7)

CZ법에 의해 제조된 제 1단결정Si기판(직경 8인치)을 준비하였다. 기판의 표면이 열산화에 의해서 200 nm의 실리콘산화층으로 형성된 후에, H⁺이온은 80keV의 가속전압과 $5 \times 10^{15} \text{ cm}^{-2}$ 의 용량의 조건하에서 표면 SiO₂층을 개재해서 기판으로 주입되었다. 그후에, 200nm의 실리콘옥사이드막은 HF용액으로 에칭되고 제거되었다. 다음에 결과의 제 1기판은 열처리되어 표면층의 품질을 향상시켰다. 열처리로서 수소어닐링은 H₂가스의 분위기, 1200°C의 온도, 1시간 동안의 조건하에서 행해졌다. 이 경우에 기판표면에 포함된 COP의 수는 8/W이었다.

200nm의 산화막(SiO₂)은 열산화에 의해서 제 1기판상에 다시 형성되었다. 제 1기판의 SiO₂층의 표면과 별도로 준비한 용융석영기판(제 2기판)의 표면은 플라즈마로 처리되고 물로 세정되었다. 그후에 제 1 및 제 2기판은 서로 위치되어 접촉되었다. 접촉된 기판구조체가 600°C에서 어닐링되면 이온분리의 투입 영역 근처에서 2개의 부분으로 분리되거나 나누어졌다. 이온주입층이 다공질이므로 분리된 부분의 표면은 거칠거칠하였다. 제 2기판쪽의 표면은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭하였다. SiO₂층의 단결정Si는 에칭되지 않고서 잔류하였고, 이온주입층은 선택적으로 에칭되고 에칭정지제로서 단결정Si로 완전히 제거되었다.

선택에칭 이외에도, 비선택에칭이나 연마는 이온주입층을 제거하기 위해 채용될 수 있다. 연마의 경우에, SiO₂기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 하지만, 연마손상이 잔류하는 경우에 열처리를 행하거나 Si기판의 표면층을 제거하는 것이 바람직하다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, Si단결정의 에칭량(수십 Å의 단위)은 실용상 무시할 수 있는 두께감소에 상당한다.

명확하게, 0.2μm의 두께를 가진 단결정Si층은 투명석영기판상에 형성될 수 있었다. 형성된 단결정Si층의 두께는 SiO₂기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 층두께의 균일성은 201nm ± 6nm이었다. 또한, SiO₂기판을 수소에서 1100°C로 1시간동안 열처리를 행했다. 결과의 SiO₂기판의 표면 조도를 원자간력현미경으로 측정하면, 50μm²의 영역에서 제곱평균(Rrms)은 약 0.2nm이었고, 통상 상용의 Si웨이퍼와 동등하였다. 단결정Si층의 표면에 포함된 COP의 수를 측정하면 8/W이었다.

그대로 남겨진 분리 SiO₂기판이 이온주입층을 제거하지 않고서 수소에서 열처리되면, 미소기공과 결합의 제거와 Si층의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

Si층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결합이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다. 또한, 제 1기판쪽에 잔류할 이온주입층은 49%농도의 플루오르화수소산, 30%농도의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그후에, 제 1기판은 수소어닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도 미소기공과 결합의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

(예 8)

CZ법에 의해 제조된 제 1단결정Si기판(직경 8인치)를 준비하였고 열처리되어 표면층의 품질을 향상시켰다. 열처리로서 수소어닐링은 H₂가스의 분위기, 1200°C의 온도, 3시간동안의 조건하에서 행하였다.

더욱이, 기판의 표면은 열산화에 의해 200nm의 SiO₂층으로 형성되었다. 이외에 H⁺이온은 40keV의 가속전압과 $5 \times 10^{15} \text{ cm}^{-2}$ 의 용량의 조건하에서 표면 SiO₂층을 개재해서 기판에 주입되었다.

제 1기판의 SiO₂층의 표면과 별도로 준비한 Si기판(제 2기판)의 표면은 위치해서 서로 접촉되었다.

제 1기판의 후면의 산화막을 제거한 후에, 웨이퍼(접촉된 기판구조체)의 전체면은 기판구조체의 제 1기판 쪽으로부터 CO₂레이저의 레이저빔으로 조사되었다. CO₂레이저의 레이저빔은 기판구조체의 접촉계면에서 200nm의 SiO₂층에 의해서 흡수됨으로써 SiO₂층근방 및 SiO₂층의 온도를 갑자기 상승시켰다. 결과적으로 기판구조체는, 이온주입층(이온 주입에 의해 형성된 분리층)에서의 강한 열응력에 의해 이온주입의 투입 영역 근처에서 2개의 부분으로 분리되거나 나누어졌다. 이 레이저는 연속파장레이저이거나 펄스레이저 이어도 된다.

이온주입층이 다공질이므로 분리된 부분의 표면은 거칠거칠하였다. 제 2기판쪽의 표면은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭하였다. SiO₂층의 단결정Si는 에칭되지 않고서 잔류하였고, 이온주입층은 선택적으로 에칭되고 에칭정지제로서 단결정Si로 완전히 제거되었다.

선택에칭, 이외에도, 비선택에칭이나 연마는 이온주입층을 제거하기 위해 채용될 수 있다. 연마의 경우에, SiO₂기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 있다. 하지만, 연마손상이 잔류하는 경우에 열처리를 행하거나 Si기판의 표면층을 제거하는 것이 바람직하다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, Si단결정의 에칭량(수십 Å의 단위)은 실

응상 무시할 수 있는 두께감소에 상당한다.

명확하게, 0.2 μ m의 두께를 가진 단결정Si층은 투명석영기판상에 형성될 수 있었다. 형성된 단결정Si층의 두께는 S01기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 총두께의 균일성은 201nm \pm 6nm이었다. 또한 S01기판을 수소에서 1100 $^{\circ}$ C로 1시간 동안 열처리를 행했다. 결과의 S01기판의 표면 조도를 원자간력현미경으로 측정하면, 50 μ m 2 의 영역에서 제곱평균(Rrms)은 약 0.2nm이었고, 통상 상용의 Si웨이퍼와 동등하였다. 단결정Si층의 표면에 포함된 COP의 수를 측정하면, 약 3/W0이었다.

그대로 남겨진 분리 S01기판이 이온주입층을 제거하지 않고서 수소에서 열처리되면, 미소기공과 결합의 제거와 S01층의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

Si층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결합이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다.

또한, 제 1기판쪽에 잔류한 이온주입층은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그후에, 제 1기판은 수소어닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도 미소기공과 결합의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

(예 9)

CZ법에 의해 제조된 제 1단결정Si기판(직경 8인치)를 준비하였고 열처리되어 표면층의 품질을 향상시켰다. 열처리로서 수소어닐링은 H₂가스의 분위기, 1200 $^{\circ}$ C의 온도, 1시간동안의 조건하에서 행해서 결합이 보다 적은 층을 형성하였다.

기판의 표면은 열산화에 의해 200nm의 SiO₂층으로 형성되었다. 이외에 H⁺이온은 40keV의 가속전압과 5 \times 10¹⁶cm⁻²의 용량의 조건하에서 표면 SiO₂층을 개재해서 기판에 주입되었다.

제 1기판의 SiO₂층의 표면과 별도로 준비한 Si기판 (제 2기판)의 표면은 서로 위치되어 접촉되었다. 접착된 웨이퍼(기판 구조체)의 단부면에서 단결정Si층과 SiO₂층이 에칭되면, 이온주입층(이온 주입에 의해 형성됨)의 단부가 나타났다.

결과의 접착된 웨이퍼를 1000 $^{\circ}$ C에서 발열산화를 행하면, 2개의 기판은 10시간내에 이온주입층내에서 완전히 분리되거나 나누어졌다. 기판의 벗겨진 표면을 관찰하면, 이온주입층은 웨이퍼의 외주부에서 SiO₂로 변화되었지만, 웨이퍼의 중심부에서는 거의 변화되지 않았다.

그 후, 제 2기판에 잔류한 이온주입층은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭하였다. S01층의 단결정Si는 에칭되지 않고서 잔류하였고, 이온주입층은 선택적으로 에칭되고 에칭정지제로서 단결정Si로 완전히 제거되었다.

선택에칭, 이외에도, 비선택에칭이나 연마는 이온주입층을, 제거하기 위해 채용될 수 있다. 연마의 경우, S01기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 그러나, 연마손상이 잔류하는 경우에 열처리를 행하거나 S01기판의 표면층을 제거하는 것이 바람직하다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, 이온주입층에 대한 비다공질Si단결정의 에칭속도의 선택비는 10⁵배나 그 이상만큼 크다. 여기서 비다공질의 에칭량(수십 Å의 단위)은 실용상 무시할 수 있는 두께감소에 상당한다.

명확하게, 0.2 μ m의 두께를 가진 단결정Si층은 Si옥사이드막상에 형성될 수 있었다. 형성된 단결정Si층의 두께는 S01기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 총두께의 균일성은 201nm \pm 6nm이었다. 또한 S01기판을 수소에서 1100 $^{\circ}$ C로 2시간 동안 열처리를 행했다. 결과의 S01기판의 표면 조도를 원자간력현미경으로 측정하면, 50 μ m 2 의 영역에서 제곱평균(Rrms) 약 0.2nm이었고, 통상 상용의 Si웨이퍼와 동등하였다. 단결정Si층의 표면에 포함된 COP의 수를 측정하면, 약 8/W0이었다.

그대로 남겨진 분리 S01기판이 이온주입층을 제거하지 않고서 수소에서, 열처리되면, 미소기공과 결합의 제거와, S01층의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

Si층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결합이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다.

또한, 제 1기판쪽에 잔류한 이온주입층은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그후에, 제 1기판은 수소어닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도 미소기공과 결합의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

(예 10)

CZ법에 의해 제조된 제 1단결정Si기판(직경 8인치)를 준비하였고 열처리되어 표면층의 품질을 결합이 보다 적은 층으로 향상시켰다. 열처리로서 수소어닐링은 H₂가스의 분위기, 1200 $^{\circ}$ C의 온도, 1시간동안의 조건하에서 행하였다.

더욱이, 기판의 표면은 열산화에 의해 200nm의 SiO₂층으로 형성되었다. 이외에 H⁺이온은 40keV의 가속전압과 $5 \times 10^{16} \text{ cm}^{-2}$ 의 용량의 조건하에서 표면 SiO₂층을 개재해서 기판에 주입되었다.

제 1기판의 SiO₂층의 표면과 별도로 준비한 Si기판(제 2기판)의 표면은 플라즈마로 처리되고 물로 세정되었다. 그 후에 제 1 및 제 2기판은 서로 위치되어 접촉되었다. 접촉된 기판구조체가 300°C에서 1시간 머물렀으며 제 1 및 제 2기판사이의 접착강도를 향상시켰다. 외부로부터 접착된 기판구조체도 뺄기가 삽입되면 이 구조체는 이온분리의 투입영역 근처에서 2개의 부분으로 분리되거나 나누어졌다. 이온주입층(이온주입에 의해 형성됨)이 다공질이므로 분리된 부분의 표면은 거칠거칠하였다. 제 2기판쪽의 표면은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭하였다. Si층의 단결정Si는 에칭되지 않고서 잔류하였고, 이온주입층은 선택적으로 에칭되고 에칭정지제로서 단결정Si로 완전히 제거되었다.

선택에칭, 이외에도, 비선택에칭이나 연마는 이온주입층을 제거하기 위해 채용될 수 있다. 연마의 경우에, Si기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 그러나, 연마손상이 잔류하는 경우에 열처리를 행하거나 Si기판의 표면층을 제거하는 것이 바람직하다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, Si단결정의 에칭량(수십 Å의 단위)은 실용상 무시할 수 있는 두께감소에 상당한다.

명확하게, 0.2μm의 두께를 가진 단결정Si층은 Si옥사이드막상에 형성될 수 있었다. 형성된 단결정Si층의 두께는 Si기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 층두께의 균일성은 201nm ± 6nm이었다. 또한 Si기판을 수소에서 1100°C로 2시간 동안 열처리를 행했다. 결과의 Si기판의 표면조도를 원자간력현미경으로 측정하면, 50μm²의 영역에서 제곱평균(Rrms)은 약 0.2nm이었고, 통상 상용의 Si웨이퍼와 동등하였다. 단결정Si층의 표면에 포함된 COP의 수를 측정하면, 약 8/μm²이었다. COP의 측정에서 Si층의 표면은 SC-1 세정액으로 세정되었고, 입자크기가 약 0.1μm이상인 COP는 미물검사장치에 의해서 측정되었다.

그대로 남겨진 분리 Si기판이 이온주입층을 제거하지 않고서 수소에서 열처리되면, 미소기공과 결함의 제거와 Si층의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

Si층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결함이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다.

또한, 제 1기판쪽에 잔류한 이온주입층은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그후에, 제 1기판은 수소에닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도 미소기공과 결함의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

(예 11)

CZ법에 의해 제조된 2개의 제 1단결정Si기판(직경 8인치)를 준비하였고, 열처리되어 표면층의 품질을 향상시켰다. 열처리로서 수소에닐링은 H₂ 가스의 분위기, 1200°C의 온도, 2시간동안의 조건하에서 행하였다.

더욱이, 기판의 표면은 열산화에 의해 200nm의 SiO₂층으로 형성되었다. 이외에 H⁺이온은 40keV의 가속전압과 $5 \times 10^{16} \text{ cm}^{-2}$ 의 용량의 조건하에서 표면 SiO₂층을 개재해서 기판에 주입되었다.

제 1기판의 SiO₂층의 표면과 별도로 준비한 용융석영기판(제 2기판)의 표면은 플라즈마로 처리되고 물로 세정되었다. 그 후에 제 1 및 제 2기판은 서로 위치되어 접촉되었다. 결과의 기판구조체가 300°C에서 1시간 동안 머물렀으며 제 1 및 제 2기판사이의 접착강도를 향상시켰다. 접착된 기판구조체에 전단력이 작용하면, 구조체는 이온분리의 투입영역 근처에서 2개의 부분으로 분리되거나 나누어졌다. 이온주입층(이온주입에 의해 형성됨)이 다공질이므로 분리된 부분의 표면은 거칠거칠하였다. 제 2기판쪽의 표면은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭하였다. Si층의 단결정Si는 에칭되지 않고서 잔류하였고, 이온주입층은 선택적으로 에칭되고 에칭정지제로서 단결정Si로 완전히 제거되었다.

선택에칭, 이외에도, 비선택에칭이나 연마는 이온주입층을 제거하기 위해 채용될 수 있다. 연마의 경우에, Si기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 그러나, 연마손상이 잔류하는 경우에 열처리를 행하거나 Si기판의 표면층을 제거하는 것이 바람직하다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, Si단결정의 에칭량(수십 Å의 단위)은 실용상 무시할 수 있는 두께감소에 상당한다.

명확하게, 0.2μm의 두께를 가진 단결정Si층은 투명석영기판상에 형성될 수 있었다. 형성된 단결정Si층의 두께는 Si기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 층두께의 균일성은 201nm ± 6nm이었다. 단결정 Si층의 표면에 포함된 COP의 수를 측정하면, 약 50/μm²이었다. 또한 Si기판을 수소에서 1100°C로 2시간동안 열처리를 행했다. 결과의 Si기판의 표면조도를 원자간력현미경으로 측정하면, 50μm²의 영역에서 제곱평균(Rrms)은 약 0.2nm이었고, 통상 상용의 Si웨이퍼와 동등하였다. 2시간동안 열처리를 한 후에 단결정Si층의 표면에 포함된 COP의 개수는 6/μm²이었다.

그대로 남겨진 분리 Si기판이 이온주입층을 제거하지 않고서 수소에서 열처리되면, 미소기공과 결함의

제거와 Si층의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

Si층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결함이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다.

또한, 제 1기판쪽에 잔류한 이온주입층은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그후에, 제 1기판은 수소어닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도 미소기공과 결함의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

(예 12)

CZ법에 의해, 제조된 제 1단결정Si기판(직경 8인치)를 준비하였고 열처리되어 표면층의 품질을 향상시켰다. 열처리로서 수소어닐링은 H₂가스의 분위기, 1200°C의 온도, 1시간동안의 조건하에서 행하였다.

더욱이, 기판의 표면은 열산화에 의해 200nm의 SiO₂층으로 형성되었다. 이외에 H⁺이온은 40keV의 가속전압과 $5 \times 10^{15} \text{ cm}^{-2}$ 의 용량의 조건하에서 플라스마 확산이온주입에 의해 표면 SiO₂층을 개재해서 기판에 주입되었다.

제 1기판의 SiO₂층의 표면과 별도로 준비한 Si기판(제 2기판)의 표면은 서로 위치되어 접촉되었다. 접촉된 기판구조체가 600°C에서 어닐링되면 이온분리의 투입영역 근처에서 2개의 부분으로 분리되거나 나누어졌다. 이온주입층(이온주입에 의해 형성됨)이 다공질이므로 분리된 부분의 표면은 거칠거칠하였다. 제 2기판쪽의 표면은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 에칭하였다. Si층의 단결정Si는 에칭되지 않고서 잔류하였고, 이온주입층은 선택적으로 에칭되고 에칭정지제로서 단결정Si로 완전히 제거되었다.

선택에칭 이외에도, 비선택에칭이나 연마는 이온주입층을 제거하기 위해 채용될 수 있다. 연마의 경우, Si기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 그러나, 연마손상이 잔류하는 경우에 열처리를 행하거나 Si기판의 표면층을 제거하는 것이 바람직하다.

상기 에칭액에 의한 비다공질Si단결정의 에칭속도는 매우 낮고, Si단결정의 에칭량(수십Å의 단위)은 실용상 무시할 수 있는 두께감소에 상당한다.

또한, 이온주입의 깊이에 대응하는 제 1기판의 잔류부분은 "산화+핑링"이나 "에칭"에 의해서 제거되었다.

명확하게, 0.2μm의 두께를 가진 단결정Si층은 투명석영기판상에 형성될 수 있었다. 형성된 단결정Si층의 두께는 Si기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 총두께의 균일성은 201nm±7nm이었다. 또한 Si기판을 수소에서 1100°C로 2시간동안 열처리를 행했다. 결과의 Si기판의 표면조도를 원자간력현미경으로 측정하면, 50μm의 영역에서 제곱평균(Rms)은 약 0.2nm이었고, 통상 상용의 Si 웨이퍼와 동등하였다. 단결정Si층의 표면에 포함된 COP의 수를 측정하면, 약 10⁴/μm²이었다.

그대로 남겨진 분리 Si기판이 이온주입층을 제거하지 않고서 수소에서 열처리되면, 미소기공과 결함의 제거와 Si층의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

Si층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결함이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다.

또한, 제 1기판쪽에 잔류한 이온주입층은 49%농도의 플루오르화수소산, 30%농도의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그후에, 제 1기판은 수소어닐링이나 표면연마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도, 미소기공과 결함의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

(예 13)

이들 양면에서 연마된 제 1기판의 양면은 예 1 내지 예 12의 각각에서와 같은 동일한 처리공정을 행하였다.

상기 예중에서 이온주입층을 선택에칭하는 액체는, 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액에 한정되지 않는다. 이온주입은 매우 넓은 표면영역에 걸쳐서 퍼져 있으므로, 이온주입층은 아래의 액체 등이나 플루오르화산, 질산, 아세트산의 적절한 혼합액으로 선택에칭될 수 있다.

HF;

HF+알콜;

HF+H₂O+알콜;

완충HF+H₂O;

완충HF+알콜;

완충HF+H₂O+알콜;

완충HF;

다른 처리시스템은, 상기 예에서 규정된 조건에 한정되지 않고서 각종 조건하에서 행해질 수 있다.

(예 14)

CZ법에 의해 제조되고, 10Ω·cm의 고유저항을 가진 8인치인 붕소가 도핑된 (100)Si웨이퍼는 수소분위기에서 1시간동안 1200°C로 열처리되었다. 그후에 웨이퍼의 표면은 산화되어 250nm의 산화막을 형성하였고, 수소이온은 결과의 웨이퍼에 주입되었다. 이온주입의 조건은, 50keV의 가속전압과 4×10¹⁶/cm²의 용량이었다. 그래서 제 1 실리콘기판을 준비하였다.

제 1실리콘웨이퍼와 제 2실리콘웨이퍼는 실리콘디바이스공정에서 주로 채용하는 습식세정을 행함으로써 각각 청정한 표면으로 형성되었다. 그 후에 제 1 및 제 2실리콘웨이퍼가 서로 접착되어서 안쪽에 250nm의 산화막이 놓여졌다. 접착된 실리콘웨이퍼 구조체는 열처리노에 놓여져서 600°C로 10시간동안 열처리됨으로써 제 1 및 제 2실리콘웨이퍼 사이의 접착계면의 접착강도를 향상시켰다. 열처리의 분위기는 산소이였다. 열처리의 결과로 실리콘웨이퍼구조체는 이온주입의 투입영역에 대응하는 깊이에서 분리되거나 나누어졌다. 제 1실리콘웨이퍼의 단결정실리콘막은 실리콘옥사이드막과 함께 제 2실리콘웨이퍼상에 이전되어 S01웨이퍼를 제작하였다.

이전된 단결정실리콘막의 두께를 S01웨이퍼의 10mm의 격자점에서 측정하면, 두께의 평균값은 280nm이었고, 그 편차는 ±10nm이었다. 이외에, 단결정실리콘막의 표면조도를 원자간력현미경을 사용해서 50μm와 1μm의 영역에서 256×256측정점에서 측정하면, 제곱평균(Rrms)값으로 각각 9.4nm, 8.5nm이었다.

후면에 실리콘산화막(57)을 각각 가진 복수의 S01웨이퍼는 석영으로 만든 코어관(90)(도 22에 도시함)를 포함한 수직형 열처리노내에 설치되었다. 가스(94)는 노내에서 하류로 흐르도록 되어 있었다. 도 22에 표시한 바와 같이 S01웨이퍼는 석영보트(93)상에 수평으로 놓여져서 하나의 S01기판의 후면에서의 실리콘산화막(57)은 약 6mm의 공간을 두고 있는 다른 S01웨이퍼의 S01층(53)의 전면과 대향하고, S01웨이퍼의 중심은, 코어관(90)의 축과 일치하게 되었다. 또한, 전체면에 실리콘옥사이드막(96)으로 형성된 상용의 실리콘웨이퍼(95)는 동일한 간격으로 최상단 S01웨이퍼에 배열되었다. 노내의 분위기가 수소로 교체된 후에 노내부의 분위기는 1100°C로 상승되어서 2시간동안 유지되었다. 다음에 온도는 다시 하강되었다. 웨이퍼를 꺼내고 S01층(53)의 두께를 다시 측정하였다. S01층의 두께의 감소는 평균적으로 60.3nm이었고, S01층은 199.6nm로 되었다. 여기서 각 S01층에 포함된 COP의 수를 측정하면 약 9/μm이었다.

추가로, 열처리를 행한 단결정실리콘막의 표면조도는 원자간력현미경으로 측정하였다. 그러면, 조도의 제곱평균(Rrms)값은 50μm²의 영역에서 0.35nm이고, 1μm²의 영역에서 0.11nm이었다. 즉, 단결정실리콘막은, 통상 상용의 실리콘웨이퍼와 동등하게 평탄화되었다. 또한 단결정실리콘막 내의 붕소의 농도는 열처리 후에 2차이온 질량분광기(SIMS)에 의해서 측정되었다. 그러면, 붕소농도는 전체막에서 5×10¹⁵/cm³나 그 이하로 낮아졌고, 반도체디바이스를 생산할 만큼 충분히 낮았다.

이외에, S01층의 단면의 상태를 수소분위기에서의 열처리 전후에 전자이동현미경(TEM: transmission electron microscope)으로 관찰하면, 열처리전에 각 S01층의 표면근처에서 나타난 변위의 군이 열처리후에는 나타나지 않았다. 이것은 열처리에 의거한 예청에 의해 제거된 S01층의 일부영역에 포함된 변위는 예청에 의해 S01층영역과 함께 제거된다는 구성이다.

(예 15)

CZ법에 의해, 제조된 2개의 제 1단결정Si기판(직경 8인치)를 준비하였고 열처리되어 표면층의 품질을 향상시켰다. 열처리로서 수소아닐링은 H₂ 가스의 분위기, 1200°C의 온도, 1시간동안의 조건하에서 행하였다.

더욱이, 기판의 표면은 열산화에 의해 200nm의 SiO₂층으로 형성되었다. 이외에 H⁺이온은 40keV의 가속전압과 5×10¹⁶cm⁻²의 용량의 조건하에서 표면 SiO₂층을 개재해서 기판에 주입되었다.

제 1기판의 SiO₂층의 표면과 별도로 준비한 용융석영기판(제 2기판)의 표면은 플라즈마로 처리되고 물로 세정되었다. 그후에 제 1 및 제 2기판은 서로 위치되어 접촉되었다. 결과의 기판구조체(웨이퍼구조체)가 300°C에서 1시간 어닐링되어 제 1 및 제 2기판사이의 접착강도를 향상시켰다. 0.2mm의 직경을 가진 물분사를 접착된 웨이퍼구조체의 준위 간극에 분사하면, 이 접착된 웨이퍼구조체는 이온주입층(이온주입에 의해 형성됨)을 개재해서 2개의 기판으로 분리되거나 나누어졌다. 이온주입층이 다공질이므로 분리된 부분의 표면은 거칠거칠하였다. 제 2기판쪽의 표면은 49%의 플루오르화수소산, 30%의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택적으로 예청하였다. S01층의 단결정Si는 예청되지 않고서 잔류하였고, 이온주입층은 선택적으로 예청되고 예청정지제로서 단결정Si로 완전히 제거되었다.

선택예청 이외에도, 비선택예청이나 연마는 이온주입층을 제거하기 위해 채용될 수 있다. 연마의 경우 예, S01기판의 표면은 수소내에서 열처리에 의해 평탄화할 필요가 없다. 그러나, 연마손상이 잔류하는 경우에 열처리를 행하거나 S01기판의 표면층을 제거하는 것이 바람직하다.

상기 예청액에 의한 비다공질Si단결정의 예청속도는 매우 낮고, Si단결정의 예청량(수십Å의 단위)은 실용상 무시할 수 있는 두께감소에 상당한다.

명확하게, 0.2μm의 두께를 가진 단결정Si층은 투명석영기판상에 형성될 수 있었다. 형성된 단결정Si층

의 두께는 SOI기판의 전체면에 걸쳐서 100개 지점에서 측정되었다. 그러면, 총두께의 균일성은 $201\text{nm} \pm 6\text{nm}$ 이었다. 또한 SOI기판을 1100°C 에서 1시간동안 열처리를 행했다. 결과의 SOI기판의 표면조도를 원자간력 현미경으로 측정하면, $50\mu\text{m}^2$ 의 영역에서 제곱평균(Rrms)은 약 0.2nm 이었고, 통상 상용의 Si웨이퍼와 동등하였다. 단결정Si층의 표면에 포함된 COP의 수를 측정하면, 약 $7/\mu\text{m}^2$ 이었다.

그대로 남겨진 분리 SOI기판이 이온주입층을 제거하지 않고서 수소에서 열처리되면, 미소기공과 결합의 제거와 Si층의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다. Si층의 단면을 투과전자현미경으로 관찰하였다. 결과로서, 새로운 결합이 Si층내에 도입되지 않았고, Si층내에 우수한 결정성이 유지되는 것을 확인하였다.

또한, 제 1기판쪽에 잔류한 이온주입층은 49%농도의 플루오르화수소산, 30%농도의 과산화수소와 물로 이루어진 혼합액을 교반하면서 선택에칭되었다. 그후에, 제 1기판은 수소어닐링이나 표면면마와 같은 표면처리를 행했다. 결과의 제 1기판은 새로운 제 1기판이나 새로운 제 2기판으로 다시 사용될 수 있었다.

그대로 남겨진 분리 제 1기판이 잔류한 이온주입층을 제거하지 않고서 수소에서 열처리되더라도 미소기공과 결합의 제거와 기판의 표면의 평탄화는 이온주입층이 나타나는 결과로 Si의 이동에 의해서 동시에 발생된다.

(예 16)

CZ-Si웨이퍼를 사용해서, 아래의 스텝에 의해 SOI기판을 제조하였다.

(1) 우선, CZ-Si웨이퍼를 준비해서 H_2 가스에서 1시간동안 1200°C 로 열처리하여 결합이 보다 적은 층을 형성하였다. 부가적으로 이 스텝(1)을 거치지 않는(즉, 수소에서 열처리를 행한지 않음) CZ-Si웨이퍼도 비교예와 같이 준비되었다.

(2) 각 Si웨이퍼는 열산화되어 200nm 의 옥사이드(SiO_2)층을 형성하였다.

(3) H^+ 이온은 40keV 의 가속전압과 $5 \times 10^{16}/\text{cm}^2$ 의 용량의 조건하에서 주입되어, 분리층을 형성하였다.

(4) Si웨이퍼와 제 2기판(여기서 SOI기판)은 안쪽에 놓인 옥사이드층으로 서로 접착되었다.

(5) 접착된 웨이퍼구조체는 600°C 에서 열처리되어 이온주입층(분리층)에서 분리되거나 나누어졌다.

(6) 제 2기판에 잔류하는 이온주입층은 HF, H_2O_2 , 물로 이루어진 혼합용액으로 선택에칭되었다. SOI기판의 반도체층(SOI층)은 $200\text{nm} \pm 6\text{nm}$ 의 두께를 가진다.

(7) SOI기판은 1100°C 로 수소에서 4시간동안 열처리되었다.

(8) 각 SOI기판은 49% HF용액에서 15분동안 침지되었고, 그 후에 광학현미경으로 관찰하였다.

스텝(1)의 수소어닐링에 의해 형성된 결합이 보다 적은 층이 SOI층인 SOI기판에 대해서, SOI층의 표면에서의 $20\mu\text{m}^2$ 의 영역을 관찰하면, 매립된 옥사이드막이 에칭된 지점은 발견되지 않았다. 구체적으로, 그러한 지점의 밀도는 $0.05/\mu\text{m}^2$ 이하이었다. 한편, 결합이 보다 적은 층이 형성되지 않은 비교예의 Si웨이퍼를 채용한 SOI기판에 대해서 약 $100\mu\text{m}^2$ 의 길이키로 매립된 옥사이드막이 에칭된 지점은 $3.2/\mu\text{m}^2$ 의 밀도를 발견되었다. 이것은 수소어닐링을 행하지 않은 비교예의 Si웨이퍼에 포함된 COP가 SOI층에 의해서 계속되고, COP의 위치를 개재해서 SOI층으로의 HF용액은 매립옥사이드막을 에칭하였다는 사실에서 나온다. 에칭층에는 실리콘이 존재하지 않고, 생성된 반도체디바이스는 결합유닛이 된다.

또한, 결합이 세코(Secco)에칭에 의해 활성화된 후에 SOI기판을 광학현미경으로 관찰하였다. 그러면, 수소어닐링을 행한 Si웨이퍼를 채용한 SOI기판에서, FPD, COP, OSF와 같은 결합인 에칭피트(etch pit)의 밀도는 $10^4/\mu\text{m}^2$ 이었다. 한편, 수소어닐링을 행하지 않은 비교예의 Si웨이퍼를 채용한 SOI기판에서 에칭피트의 밀도는 $10^7/\mu\text{m}^2$ 이었다.

발명의 효과

이제까지 언급한 바와 같이, 본 발명에 의하면, COP등이 수소분위기에서 웨이퍼의 열처리에 의해 감소되는 층은 이온주입층을 개재해서 접착된 기판구조체(웨이퍼 및 기판의)를 분리함으로써 다른 기판에 미전될 수 있다. 상기 언급한 바와 같이 벌크Si에 기인한 결합은 수소를 포함한 환원성분위기에서의 어닐링에 의해서 SOI기판의 SOI층내에서 제외되거나 환원되어서 반도체 디바이스의 유효백분율을 향상시킬 수 있다.

이외에, SOI층의 두께의 균일성은, 분리층이 이온주입에 의해서 결합이 보다 적은 층으로 형성되는 방식으로 향상될 수 있다.

또한, 본 발명에 따르면, SOI구조체의 대규모의 직접회로를 생성하는 경우에도 고가의 SOS 또는 SIMOX를 대체할 수 있는 반도체기판의 제조공정을 제공할 수 있다.

더욱이, 본 발명에 따르면, 표면에 단결정실리콘막을 각각 가진 복수의 반도체기판부재를 일괄하는 경우에도 실리콘을 단결정실리콘의 두께의 제거량을 제거하면서 에칭할 수 있다. 그러므로, 이러한 동작이 SOI기판에 부여되면, 동시에 실행되어 각 단결정실리콘막의 표면을 평탄화하고 막두께의 균일성을 유지하면서 실리콘을 에칭하고, 불소농도를 저하시킨다.

(57) 청구의 범위

청구항 1

수소어닐링이 행해질 표면층부분을 가지는 제 1기판을 제조하는 스텝과;

수소, 질소 및 희가스로 이루어진 군으로부터 선택된 적어도 1종의 원소의 미온을, 상기 표면층으로부터의 측면으로부터 상기 제 1기판으로 주입함으로써, 분리층을 형성하는 분리층형성스텝과;

상기 제 1기판과 제 2기판을, 상기 표면층부분이 내부에 놓이도록, 서로 접착함으로써 다층구조를 형성하는 접착스텝과;

상기 다층구조를 상기 분리층에서 분리함으로써, 상기 표면층부분의 적어도 부분을 상기 제 2기판위로 이전하는 이전스텝으로 이루어진 것을 특징으로 하는 반도체기판의 제조공정.

청구항 2

제 1항에 있어서, 수소어닐링은 수소를 함유하는 환원성분위기에서 단결정실리콘기판을 열처리하는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 3

제 2항에 있어서, 상기 단결정실리콘기판은 CZ실리콘웨이퍼인 것을 특징으로 하는 반도체기판의 제조공정.

청구항 4

제 2항에 있어서, 상기 단결정실리콘기판은 MCZ실리콘웨이퍼인 것을 특징으로 하는 반도체기판의 제조공정.

청구항 5

제 2항에 있어서, 상기 표면층부분은, 단결정실리콘기판내의 결정에서 유래된 입자(COP: Crystal Originated Particles), 흐름패턴결함(FPD: Flow Pattern Defects) 또는 산화유도적층결함(OSF: Oxidation Induced Stacking Faults)의 수가 동일한 기판의 임의의 다른 영역에서 보다 작은, 결함이 보다 적은 층인 것을 특징으로 하는 반도체기판의 제조공정.

청구항 6

제 2항에 있어서, 수소어닐링은 800℃와 상기 제 1기판의 용점사이를 포함하는 온도에서 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 7

제 2항에 있어서, 수소어닐링은 900℃와 1350℃사이를 포함하는 온도에서 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 8

제 1항에 있어서, 상기 표면층부분내에 함유된 COP의 밀도는 0/㎠와 5×10^6 /㎠사이에서 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 9

제 1항에 있어서, 상기 표면층부분내에 함유된 COP의 밀도는 0/㎠와 1×10^6 /㎠사이에서 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 10

제 1항에 있어서, 상기 표면층부분내에 함유된 COP의 밀도는 0/㎠와 5×10^5 /㎠사이에서 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 11

제 8항 내지 제 10항중 어느 한 항에 있어서, 상기 COP의 밀도는 상기 표면층부분의 최외측표면으로부터 상기 분리층으로 연장하는 깊이의 영역내에서 단위체적(1㎠)당 COP의 수인 것을 특징으로 하는 반도체기판의 제조공정.

청구항 12

제 1항에 있어서, 상기 표면층부분의 표면에서 단위웨이퍼당 COP의 수는 0과 500사이에서 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 13

제 1항에 있어서, 상기 표면층부분의 표면에서 단위웨이퍼당 COP의 수는 0과 100사이에서 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 14

제 1항에 있어서, 상기 표면층부분의 표면에서 단위웨이퍼당 COP의 수는 0과 10사이에서 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 15

제 1항에 있어서, 상기 표면층부분의 표면에서 단위면적당 COP의 수는 $0/\text{cm}^2$ 와 $1.6/\text{cm}^2$ 사이에 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 16

제 1항에 있어서, 상기 표면층부분의 표면에서 단위면적당 COP의 수는 $0/\text{cm}^2$ 와 $0.5/\text{cm}^2$ 사이에 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 17

제 1항에 있어서, 상기 표면층부분의 표면에서 단위면적당 COP의 수는 $0/\text{cm}^2$ 와 $0.05/\text{cm}^2$ 사이에 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 18

제 1항에 있어서, 상기 표면층부분의 표면에서 단위면적당 OSF의 수는 $0/\text{cm}^2$ 와 $10/\text{cm}^2$ 사이에 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 19

제 1항에 있어서, 상기 표면층부분의 표면에서 단위면적당 FPD의 수는 $0/\text{cm}^2$ 와 $5 \times 10^7/\text{cm}^2$ 사이에 포함되고, 더욱 바람직하게는 $0/\text{cm}^2$ 와 $1 \times 10^7/\text{cm}^2$ 사이에 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 20

제 1항에 있어서, 상기 표면층부분의 표면에서 산소농도는 $5 \times 10^7 \text{ atoms}/\text{cm}^2$ 미하인 것을 특징으로 하는 반도체기판의 제조공정.

청구항 21

제 5항에 있어서, 상기 분리층은 상기 결합이 보다 적은 층내에 형성된 것을 특징으로 하는 반도체기판의 제조공정.

청구항 22

제 1항에 있어서, 상기 분리층형성시스템은 $1.0 \times 10^{16}/\text{cm}^2$ 내지 $2.0 \times 10^7/\text{cm}^2$ 에 포함된 범위내에 있는 1회 주입량으로 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 23

제 1항에 있어서, 상기 분리층은 마이크로버블의 집합인 것을 특징으로 하는 반도체기판의 제조공정.

청구항 24

제 1항에 있어서, 상기 분리층형성시스템은 플라스마이온주입에 의해 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 25

제 1항에 있어서, 상기 분리층형성시스템은 절연층이 상기 표면층부분위에 형성된 후 행해진 이온주입에 의해 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 26

제 1항에 있어서, 상기 접착시스템은, 상기 제 1기판과 상기 제 2기판사이에 절연층을 개재시킴으로써, 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 27

제 25항 또는 제 26항에 있어서, 상기 절연층을 상기 표면층부분의 표면을 열산화함으로써 형성되는 열산화막인 것을 특징으로 하는 반도체기판의 제조공정.

청구항 28

제 1항에 있어서, 상기 제 2기판은 단결정실리콘기판, 석영기판, 유리기판 및 화합물반도체기판으로 이루어진 군으로부터 선택된 부재인 것을 특징으로 하는 반도체기판의 제조공정.

청구항 29

제 1항에 있어서, 상기 접착시스템은 실온과 400°C 사이에 포함되는 온도에서의 열처리를 포함하는 처리시스템에 의해 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 30

제 1항에 있어서, 상기 이전시스템은, 상기 다층구조를 상기 분리층내에서, 상기 분리층과 상기 표면층부분사이의 계면에서, 상기 분리층과 상기 제 1기판 사이의 계면에서, 또는 이들중 적어도 2개의 조합에 의해, 상기 다층구조를 분리함으로써 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 31

제 1항에 있어서, 상기 이전 스텝은 400℃와 1000℃ 사이에 포함되는 온도에서 상기 다층구조를 열처리함으로써 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 32

제 1항에 있어서, 상기 이전 스텝은 400℃와 600℃ 사이에 포함되는 온도에서 상기 다층구조를 열처리함으로써 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 33

제 1항에 있어서, 상기 이전 스텝은 상기 다층구조의 측면에 대해 유체를 스프레이함으로써 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 34

제 33항에 있어서, 상기 유체는 물, 공기, 질소가스, 탄산가스 및 희가스로 이루어진 군으로부터 선택된 부재인 것을 특징으로 하는 반도체기판의 제조공정.

청구항 35

제 1항에 있어서, 상기 이전 스텝은 상기 다층구조에 인장력 및 전단력중 어느 하나를 인가함으로써 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 36

제 1항에 있어서, 상기 이전 스텝후, 상기 제 2기판위에 증착하는 상기 표면층부분위에 남아있는 상기 분리층을 제거하는 스텝을 부가하여 구비한 것을 특징으로 하는 반도체기판의 제조공정.

청구항 37

제 36항에 있어서, 상기 분리층을 제거하는 상기 스텝은 수소함유환원성분위기에서 행해지는 열처리에 의해 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 38

제 36항에 있어서, 상기 분리층을 제거하는 상기 스텝은, 플루오르화수소산, 적어도 알칼, 또는 과산화수소가 플루오르화수소산에 첨가된 혼합용액, 완충플루오르화수소산, 및 적어도 알칼 또는 과산화수소가 완충 플루오르화수소산에 첨가된 혼합용액으로 이루어진 군으로부터 선택된 하나의 부재내에 상기 분리층을 침지시킴으로써, 상기 분리층은 비전해습식화학에 침지 선택적으로 행해져 제거되는 에칭스텝인 것을 특징으로 하는 반도체기판의 제조공정.

청구항 39

제 36항에 있어서, 상기 분리층을 제거하는 상기 스텝은 상기 제 2기판 위에 남아있는 상기 분리층을 연마함으로써 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 40

제 36항에 있어서, 상기 분리층을 제거하는 상기 스텝은 화학기계적 연마에 의해 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 41

제 38항, 제 39항, 제 40항 중 어느 한 항에 있어서, 상기 제 2기판위에 남아있는 상기 분리층을 연마 또는 에칭에 의해 제거하는 상기 스텝후, 상기 제 2기판위에 이전된 상기 제 1기판의 상기 표면층부분이 수소함유환원성분위기에서 열처리되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 42

제 1항에 있어서, 상기 제 2기판위에 이전된 상기 제 1기판의 상기 표면층부분은, 이것의 바깥쪽 표면으로부터 측정된 상기 표면층부분의 깊이에 따라 단위웨이퍼당 COP의 수가 감소되는 경향이 있는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 43

제 1항에 있어서, 상기 이전 스텝 후, 수소함유환원성분위기에서 상기 제 2기판위에 이전된 상기 제 1기판의 상기 표면층부분을 열처리하는 스텝을 부가하여 구비한 것을 특징으로 하는 반도체기판의 제조공정.

청구항 44

제 43항에 있어서, 열처리는 800℃와 상기 제 1기판의 용점사이에 포함되는 온도에서 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 45

제 43항에 있어서, 열처리는 900℃와 1350℃ 사이의 온도에서 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 46

제 37항 또는 제 43항에 있어서, 열처리하는 상기 제 2기판위에 이전된 상기 제 1기판의 상기 표면층부분의 표면을 실리콘옥사이드에 대하여 배치함으로써 행해지는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 47

제 1항 또는 제 43항에 있어서, 상기 이전스텝후, 상기 표면층부분의 표면에서 단위웨이퍼당 함유된 COP의 수는 0과 100사이에서 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 48

제 1항 또는 제 43항에 있어서, 상기 이전스텝후, 상기 표면층부분의 표면에서 단위웨이퍼당 함유된 COP의 수는 0과 10사이에서 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 49

제 1항 또는 제 43항에 있어서, 상기 이전스텝후, 상기 표면층부분의 표면에서 단위면적당 함유된 COP의 수는 $0/\text{cm}^2$ 와 $0.5/\text{cm}^2$ 사이에서 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 50

제 1항 또는 제 43항에 있어서, 상기 이전스텝후, 상기 표면층부분의 표면에서 단위면적당 함유된 COP의 수는 $0/\text{cm}^2$ 와 $0.05/\text{cm}^2$ 사이에서 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 51

수소어닐링이 행해질 표면층부분을 가지는 제 1실리콘기판을 제조하는 스텝과;

수소, 질소 및 희가스로 이루어진 군으로부터 선택된 적어도 1종의 원소의 이온을 상기 표면층부분의 측면으로부터 상기 제 1실리콘기판으로 주입함으로써, 분리층을 형성하는 분리층형성스텝과;

상기 제 1기판과 제 2기판을 서로 접촉함으로써 다층구조를 형성하는 접촉스텝과;

상기 다층구조가 형성되는 동안 또는 상기 다층구조가 형성된 후, 제 1 및 제 2기판을 제 1온도에서 열처리하는 스텝과;

상기 다층구조를 상기 분리층에서 분리함으로써 상기 표면층부분의 적어도 일부분을 상기 제 2기판위로 이전하는 이전스텝과;

상기 제 2기판위에 이전된 상기 표면층부분을, 제 1열처리온도보다 높은 제 2열처리온도에서 열처리하는 스텝으로 이루어진 것을 특징으로 하는 반도체기판의 제조공정.

청구항 52

제 51항에 있어서, 제 1열처리온도는 실온과 500°C 사이에서 포함되는 반면, 제 2열처리온도는 800°C 와 실리콘의 용점 사이에서 포함되는 것을 특징으로 하는 반도체기판의 제조공정.

청구항 53

수소어닐링이 행해질 표면층부분을 가지는 제 1실리콘기판을 제조하는 스텝과;

수소, 질소 및 희가스로 이루어진 군으로부터 선택된 적어도 1종의 원소의 이온을, 상기 표면층부분의 측면으로부터 상기 제 1실리콘기판으로 주입함으로써, 분리층을 형성하는 분리층형성스텝과;

상기 표면층부분중 적어도 일부분을 상기 분리층에서 분리하는 분리스텝으로 이루어진 것을 특징으로 하는 반도체박막의 제조공정.

청구항 54

제 53항에 있어서, 수소어닐링은 수소를 함유하는 환원성 분위기에서 상기 표면층부분을 열처리하는 것을 특징으로 하는 반도체박막의 제조공정.

청구항 55

제 54항에 있어서, 열처리하는 800°C 내지 실리콘의 용점을 포함하는 온도범위내에서 행해지는 것을 특징으로 하는 반도체박막의 제조공정.

청구항 56

제 53항에 있어서, 상기 분리스텝후, 상기 표면층부분의 표면에서 단위웨이퍼당 함유된 COP의 수는 0과 100사이에서 포함되는 것을 특징으로 하는 반도체박막의 제조공정.

청구항 57

제 53항에 있어서, 상기 분리스텝후, 상기 표면층부분의 표면에서 단위웨이퍼당 함유된 COP의 수는 0과 10사이에서 포함되는 것을 특징으로 하는 반도체박막의 제조공정.

청구항 58

제 53항에 있어서, 상기 분리스텝후, 상기 표면층부분의 표면에서 단위면적당 함유된 COP의 수는 $0/\text{cm}^2$ 와 $0.5/\text{cm}^2$ 사이에서 포함되는 것을 특징으로 하는 반도체박막의 제조공정.

청구항 59

제 53항에 있어서, 상기 분리스텝후, 상기 표면층부분의 표면에서 단위 면적당 함유된 COP의 수는 $0/\text{cm}^2$ 와 $0.05/\text{cm}^2$ 사이 에 포함되는 것을 특징으로 하는 반도체박막의 제조공정.

청구항 60

수소를 함유하는 환원성분위기에서 실리콘기판을 열처리하는 스텝과;

수소, 질소 및 희가스로 이루어진 군으로부터 선택된 적어도 1종의 원소의 이온을, 상기 표면층부분의 측면으로부터 상기 실리콘기판으로 주입함으로써, 분리층을 형성하는 분리층형성스텝과;

상기 실리콘기판과 제 2기판을 서로 접착함으로써 다층구조를 형성하는 접착스텝과;

상기 다층구조를 상기 분리층에서 분리함으로써, 상기 표면층부분의 적어도 부분을 상기 제 2기판위로 이전하는 이전스텝으로 이루어진 것을 특징으로 하는 반도체기판의 제조공정.

청구항 61

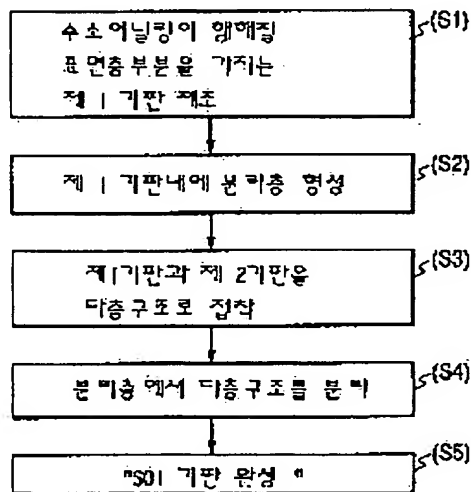
제 1실리콘기판과, 제 2기판을 서로 접착하고,

상기 제 1실리콘기판은, 수소, 질소 및 희가스로 이루어진 군으로부터 선택된 적어도 1종의 원소의 이온을 주입함으로써, 형성된 분리층을 내부에 포함하고,

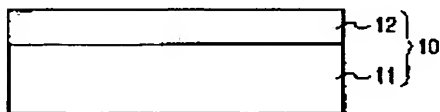
상기 제 1실리콘기판은 수소어닐링에 의해 형성된 이것의 표면층부분을 포함하는 것을 특징으로 하는 다층구조.

도면

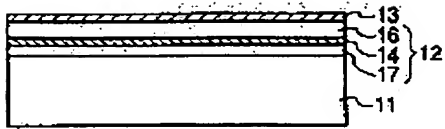
도면1



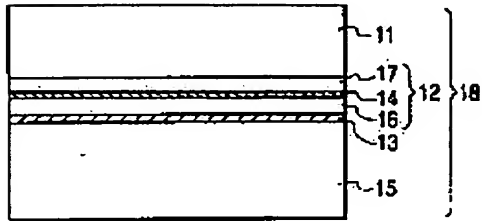
도면2



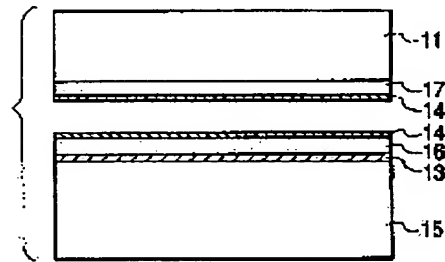
도 3



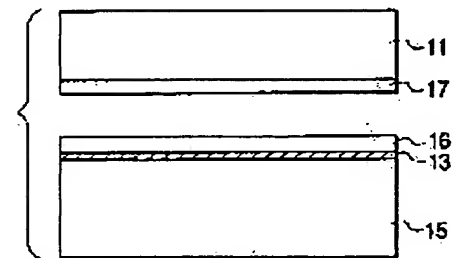
도 4



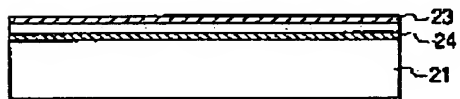
도 5



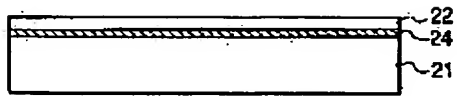
도 6



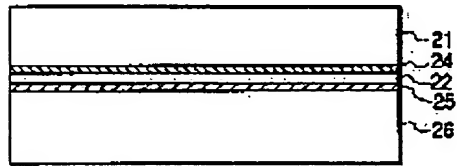
도 7



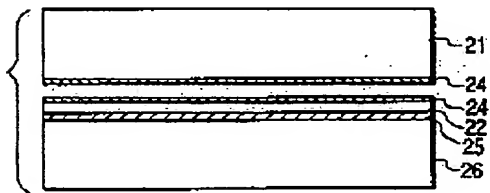
도면 8



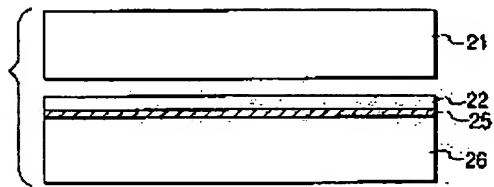
도면 9



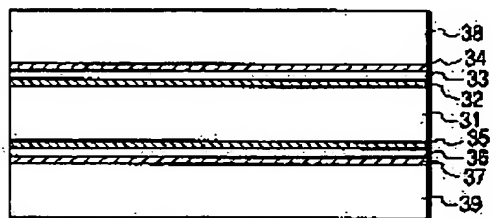
도면 10



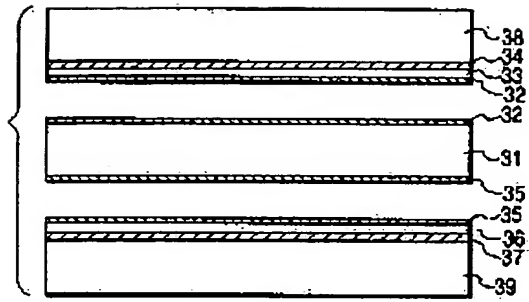
도면 11



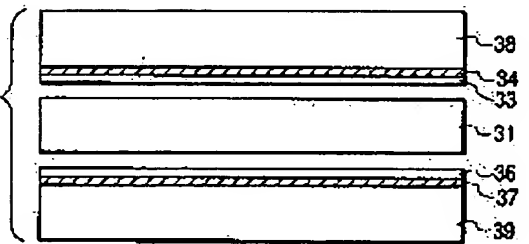
도면 12



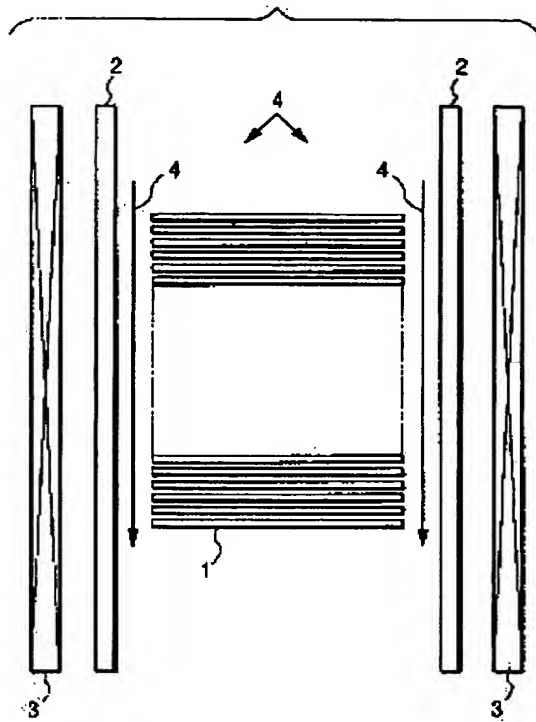
도면 13



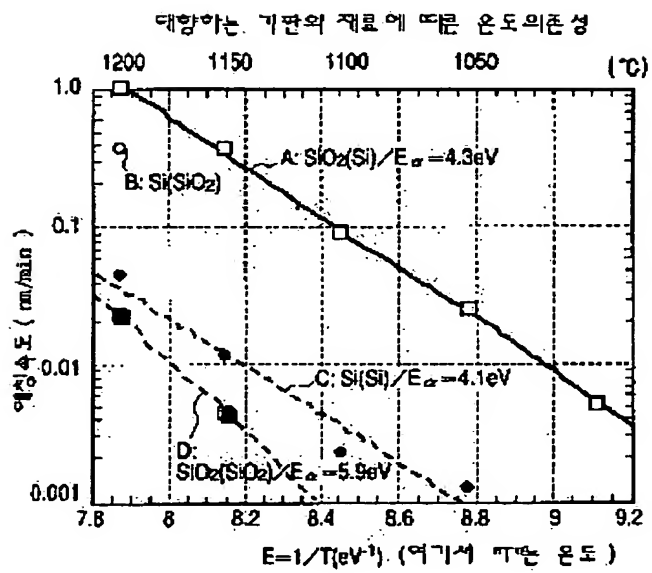
도면 14



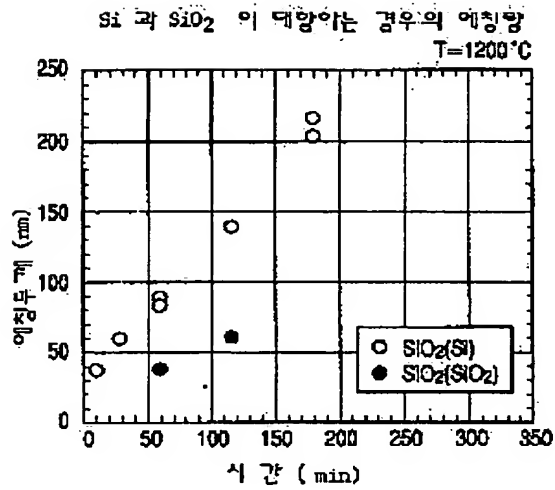
도면 15



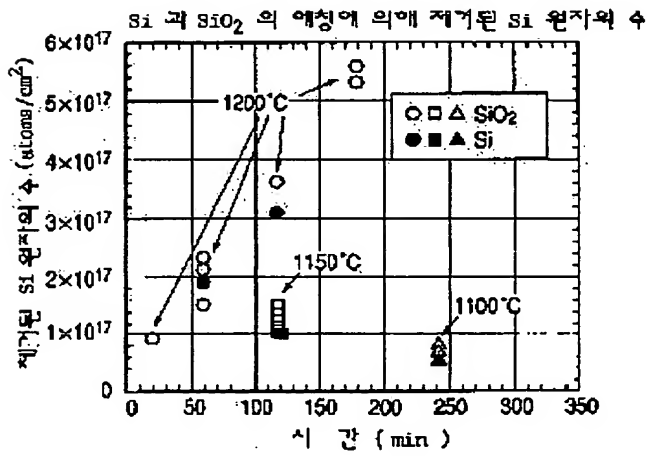
도면 16



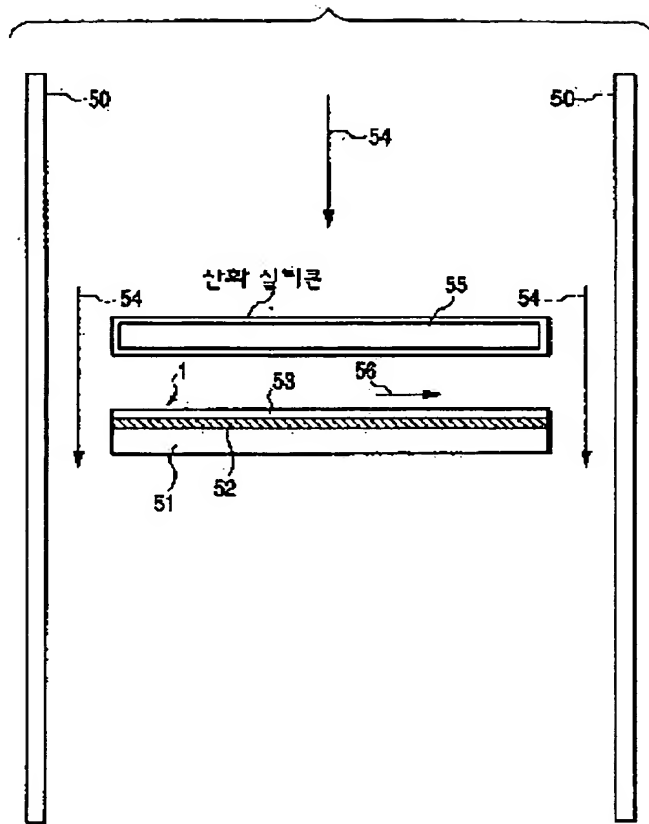
도면 17



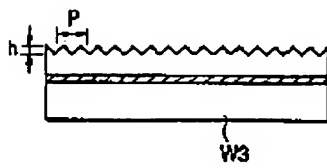
도면 18



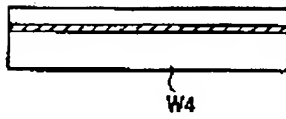
도면 19



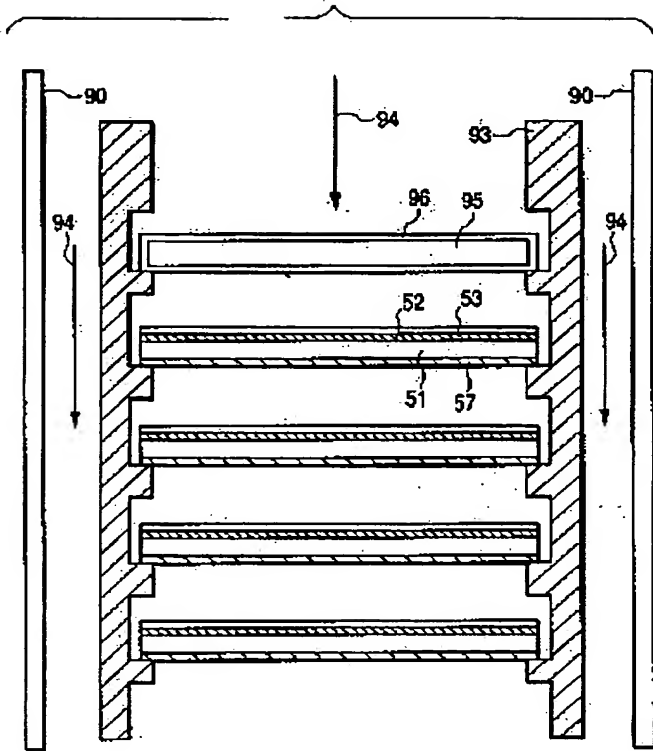
도면 20



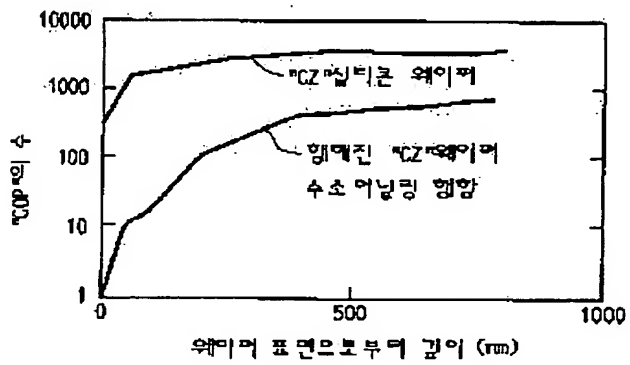
도면 21



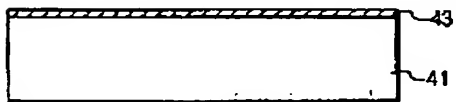
도 22



도 23



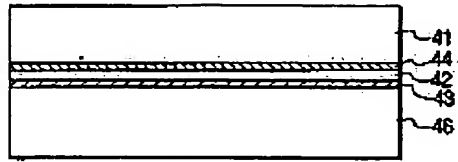
도 24



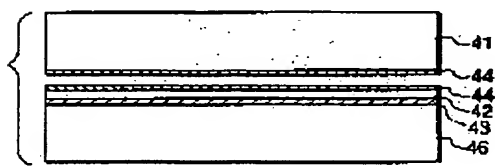
도 25



도 26



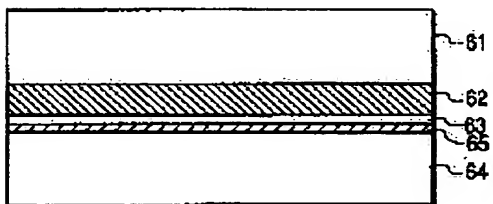
도 27



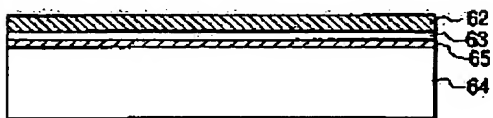
도 28



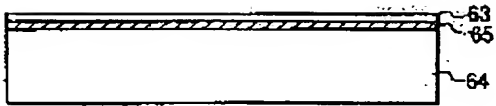
도 29



도 30



도 31



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.